

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-066638
 (43)Date of publication of application : 16.03.2001

(51)Int.CI. G02F 1/1368
 G09F 9/30
 H01L 29/786
 H01L 21/336

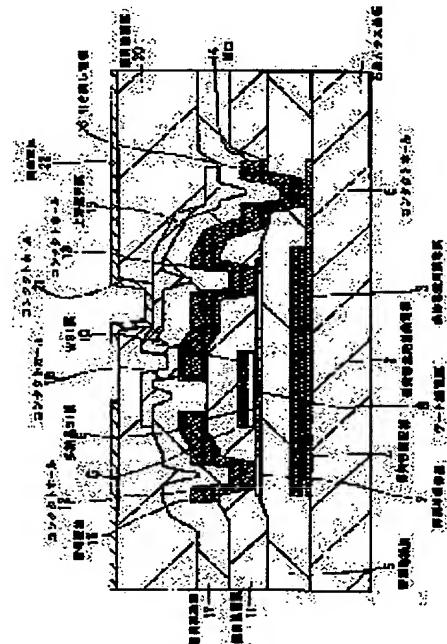
(21)Application number : 11-243990 (71)Applicant : SONY CORP
 (22)Date of filing : 30.08.1999 (72)Inventor : ABE FUMIAKI
 SATO TAKUO

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high transmittance and high definition by reducing an inter-pixel light shielding area while securing a holding capacitance area, in the liquid crystal display device.

SOLUTION: A pixel electrode 2 for holding capacitance, a dielectric film for holding capacitance 3, and holding capacitance wiring 4 forming a holding capacitance element are sequentially provided on an insulating transparent substrate 1. An interlayer insulating film 5 is provided so as to cover the holding capacitance element. A thin film semiconductor layer 7 having source/drain areas, a gate dielectric film 8, and a gate electrode formed of gate wiring G are provided on the interlayer insulating film 5, to form a thin film transistor(TFT) for driving a pixel electrode. A signal wiring 15 is connected with the source area of the thin film semiconductor layer 7, and a leading electrode 16 is connected to the drain area. The drain area of the thin film transistor layer 7 is connected to the pixel electrode 2 for holding capacitance via the leading electrode 16, and further connected to an upper layer light shielding film 19 and a pixel electrode 22.



LEGAL STATUS

[Date of request for examination] 26.01.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The liquid crystal display characterized by being prepared in the lower layer of the thin film semiconductor layer from which the above-mentioned retention volume component constitutes the above-mentioned thin film transistor in the liquid crystal display with which the thin film transistor and retention volume component for the drive of a pixel electrode were prepared on the substrate.

[Claim 2] The liquid crystal display according to claim 1 characterized by the above-mentioned retention volume component being constituted by the structure which sandwiched the dielectric film for retention volume between retention volume wiring and the pixel electrode for retention volume.

[Claim 3] The liquid crystal display according to claim 2 characterized by connecting electrically the diffusion layer and the above-mentioned pixel electrode for retention volume which constitute the source / drain field of the above-mentioned thin film transistor.

[Claim 4] The liquid crystal display according to claim 2 with which the above-mentioned retention volume wiring is superficially characterized by being prepared in the wrap field, lapping with the channel formation field of the above-mentioned thin film transistor.

[Claim 5] The liquid crystal display according to claim 2 characterized by constituting the above-mentioned retention volume wiring possible [a setup to fixed potential].

[Claim 6] The liquid crystal display according to claim 2 with which the above-mentioned pixel electrode for retention volume is superficially characterized by being prepared in the wrap field, lapping with the channel formation field of the above-mentioned thin film transistor.

[Claim 7] The liquid crystal display according to claim 2 characterized by the above-mentioned dielectric film for retention volume consisting of cascade screens of an oxidation silicone film, a silicon nitride film or an oxidation silicone film, and a silicon nitride film.

[Claim 8] The liquid crystal display according to claim 2 with which thickness of the above-mentioned dielectric film for retention volume is characterized by 5nm or more being 300nm or less.

[Claim 9] either [at least] the above-mentioned retention volume wiring or the above-mentioned pixel electrode for retention volume -- a tungsten, molybdenum, a tantalum, chromium, titanium, and silicification -- a tungsten and silicification -- molybdenum and silicification -- a tantalum and silicification -- chromium and silicification -- the liquid crystal display according to claim 2 characterized by consisting of ingredients chosen from the group which consists of silicon with which titanium, a tungsten alloy, a molybdenum alloy, the tantalum alloy, the chromium alloy, the titanium alloy, or the impurity was doped.

[Claim 10] The manufacture approach of the liquid crystal display characterized by forming the above-mentioned retention volume component on the above-mentioned substrate, and forming the above-mentioned thin film transistor in the upper layer of the above-mentioned retention volume component through an interlayer insulation film in the manufacture approach of a liquid crystal display that the thin film transistor and retention volume component for the drive of a pixel electrode were prepared on the substrate.

[Claim 11] The manufacture approach of the liquid crystal display according to claim 10 characterized by forming the above-mentioned retention volume component on the above-mentioned substrate by carrying out sequential formation of the pixel electrode for retention volume, the dielectric film for retention volume, and the retention volume wiring.

[Claim 12] The manufacture approach of the liquid crystal display according to claim 11 characterized by forming an interlayer insulation film on the above-mentioned pixel electrode for retention volume, forming a thin film semiconductor layer on the above-mentioned interlayer insulation film, and forming gate wiring through a gate dielectric film on the above-mentioned thin film semiconductor layer.

[Claim 13] The manufacture approach of the liquid crystal display according to claim 11 characterized by

forming the conductive layer which connects the diffusion layer and the above-mentioned pixel electrode for retention volume in the above-mentioned thin film transistor while forming gate wiring.
[Claim 14] The manufacture approach of the liquid crystal display according to claim 11 characterized by forming the conductive layer which connects the diffusion layer and the above-mentioned pixel electrode for retention volume in the above-mentioned thin film transistor while forming signal wiring.

[Translation done.]

*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention applies to a TFT active matrix liquid crystal display about a liquid crystal display and its manufacture approach, and is suitable.

[0002]

[Description of the Prior Art] Conventionally, in the liquid crystal display of a thin film transistor (TFT) active-matrix mold, the thin film transistor for pixel signal switching is prepared for every pixel. These pixels are arranged in the shape of a matrix with horizontal and wiring across which it goes perpendicularly. The liquid crystal display of the TFT active-matrix mold by this conventional technique is explained concretely below.

[0003] That is, as shown in drawing 9 , a TFT active matrix liquid crystal indicating equipment carries the cross talk prevention circuit 106 for preventing the vertical-scanning circuit 105 and cross talk which perform control of the horizontal scanning circuit 102, the phase adjustment circuit 103, the picture signal supply switch 104, and a scanning direction on the liquid crystal display substrate 101 of a TFT active-matrix mold, and is constituted. In addition, a sign 107 shows Exterior IC and a sign 108 shows the connection terminal of this exterior IC 107.

[0004] Moreover, TFT109 for each pixel control is arranged in the picture signal supply switch 104 or the vertical-scanning circuit 105 in the shape of a matrix. This TFT109 is constituted by the source / drain electrode SD, and the gate electrode G. The gate electrode G is connected common to the vertical-scanning circuit 105. The source / drain electrode SD is connected to the picture signal supply switch 104 and the cross talk prevention circuit 106 in common.

[0005] The pixel in the liquid crystal display of the TFT active-matrix mold constituted as mentioned above is shown in drawing 10 . As shown in drawing 10 , the thin film semiconductor layer 112 which consists of polycrystal Si of a predetermined configuration is formed on the quartz-glass substrate 111 in a protection-from-light field, and the gate dielectric film 113 is formed on this thin film semiconductor layer 112. The gate wiring 114 is formed on this gate dielectric film 113. Although illustration is omitted, into the thin film semiconductor layer 112, the source field and the drain field are formed in self align to the gate wiring 114. The polysilicon SiTFT for a pixel electrode drive is constituted by the gate electrodes which consist of gate wiring 114, these source fields, and the drain field. The retention volume wiring 115 is formed on the gate dielectric film 113 in the predetermined part above a drain field. The capacitative element for maintenance is constituted by the structure which sandwiched the gate dielectric film 113 between this retention volume wiring 115 and a drain field.

[0006] The interlayer insulation film 116 is formed so that the gate wiring 114 and the retention volume wiring 115 may be covered. Contact holes 117 and 118 are established in the predetermined parts of this interlayer insulation film 116 and the gate dielectric film 113. On the interlayer insulation film 116, while connecting with the drain field of polysilicon SiTFT through a contact hole 117, pulling out and forming the electrode 119, it connects with the source field of polysilicon SiTFT through a contact hole 118, and signal wiring 120 is formed. The interlayer insulation film 121 is formed so that such drawer electrodes 119 and signal wiring 120 may be covered. The contact hole 122 is established in the interlayer insulation film 121 in the predetermined part on the drawer electrode 119. The upper light-shielding film 123 which pulled out through this contact hole 122 and was connected with the electrode 119 is formed on the interlayer insulation film 121. Besides, it pulls out with the layer light-shielding film 123, and all protection from light of fields other than a pixel opening field is made to the incident light from the upper part by superposition with an electrode 119 and signal wiring 120. The interlayer insulation film 124 is formed so that the upper

light-shielding film 123 may be covered. The contact hole 125 is established in this interlayer insulation film 124 in the predetermined part on the upper light-shielding film 123. On the interlayer insulation film 124, the transparent pixel electrode 126 connected with the upper light-shielding film 123 through this contact hole 125 is formed. The orientation film 127 is formed so that this pixel electrode 126 may be covered.

[0007] The liquid crystal layer 128 is formed on the orientation film 127, and the orientation film 129 and the opposite common electrode 130 are formed on this liquid crystal layer 128. Moreover, the substrate 131 for counterelectrodes of transparency is formed on the opposite common electrode 130.

[0008] In the liquid crystal display constituted as mentioned above, the orientation of the liquid crystal molecule in the liquid crystal layer 128 is changed, and a display is controlled by the electrical potential difference impressed to the transparent pixel electrode 126 connected to the thin film semiconductor layer 112 which constitutes TFT.

[0009] Moreover, signal wiring, gate wiring, retention volume wiring, a thin film transistor, etc. are prepared in the viewing area. These wiring and transistors are arranged in the pixel protection-from-light field prepared into the TFT substrate or the opposite substrate. An example of this arrangement is shown in drawing 11. Drawing 11 is an example of the flat-surface layout in the case of forming the protection-from-light field complementary by the signal wiring and the upper light-shielding film of a TFT substrate.

[0010] As shown in drawing 11, in the conventional liquid crystal display, the gate wiring 114 and the retention volume wiring 115 are formed mutual almost in parallel. Signal wiring 120 is formed in the direction perpendicular to these gate wiring 114 and the retention volume wiring 115. It is prepared in the field to which the drawer electrode 119 does not lap with signal wiring 120 ranging over the gate wiring 114 and the retention volume wiring 115. Ranging over two signal wiring 120 which the upper light-shielding film 123 adjoins, it is prepared in a configuration which covers the retention volume wiring 115 between these two adjoining signal wiring 120, the gate wiring 114, and the drawer electrode 119. The contact hole 118 is formed in the edge of the lapping part of signal wiring 120 and the thin film semiconductor layer 112. The thin film semiconductor layer 112 is formed in the lower layer of the retention volume wiring 115 and signal wiring 120. The part of the concave configuration where the contact hole 117 was avoided is prepared in the retention volume wiring 115. Through the contact hole 117 established in the part with which this concave configuration does not lap, it pulls out with the thin film semiconductor layer 112, and the electrode 119 is connected. Moreover, the contact hole 122 for connecting these to the lapping part of a field of the drawer electrode 119 and the upper light-shielding film 123 is formed. Moreover, the contact hole 125 for connecting these to the part of a field which laps with the retention volume wiring 115 of the upper light-shielding film 119 is formed.

[0011] Now, many liquid crystal displays constituted as mentioned above are used also as a light valve of a liquid crystal projector in recent years. With this, the further Takamitsu permeability and the further highly-minute-izing are desired in the display. In order to realize these Takamitsu permeability and highly-minute-izing, the pixel protection-from-light field in a liquid crystal display needs to be contraction-ized.

[0012]

[Problem(s) to be Solved by the Invention] However, as shown in drawing 11, in the conventional liquid crystal display, a transistor, signal wiring 120, the gate wiring 114, the retention volume wiring 115, etc. occupied area, respectively, and had become the hindrance which raises a pixel numerical aperture.

[0013] Therefore, the purpose of this invention can make a pixel protection-from-light field reduce, securing retention volume area, and is to offer the liquid crystal display which can be made highly minute with the Takamitsu permeability by this, and its manufacture approach.

[0014]

[Means for Solving the Problem] That is, in order to attain the above-mentioned purpose, invention of the 1st of this invention is characterized by being prepared in the lower layer of the thin film semiconductor layer from which a retention volume component constitutes a thin film transistor in the liquid crystal display with which the thin film transistor and retention volume component for the drive of a pixel electrode were prepared on the substrate.

[0015] Typically in this 1st invention, retention volume wiring is constituted by fixed potential possible [a setup]. And in this 1st invention, typically, the both ends of retention volume wiring of the outside of a viewing area are grounded, and potential is set as the constant potential of 0V. As long as this constant potential is range which does not affect the threshold electrical potential difference V_{th} of a thin film transistor, it may be made into an opposite common electrode, the potential of a scanning circuit supply power source, etc. and the same potential.

[0016] In this 1st invention, in order to aim at reduction of light which carries out incidence to a thin film

transistor from the rear-face side of a TFT substrate, it is prepared in the wrap field, retention volume wiring lapping with the channel formation field of a thin film transistor superficially, and typically, superficially, to the channel formation field of a thin film transistor, the arrangement field of retention volume wiring has about 1.0-micrometer allowances, and is arranged. Moreover, in this 1st invention, in order to raise the protection-from-light nature to the incident light from slant, typically, retention volume wiring is arranged to a larger field than the channel formation field of a thin film transistor, and let it suitably be a field large 0.5 micrometers or more in each direction towards the outside of this field to the channel formation field of a thin film transistor.

[0017] In this 1st invention, typically, the pixel electrode for retention volume is the field which laps with the channel formation field of a thin film transistor, and is prepared in the field larger than a channel formation field.

[0018] In this 1st invention, in order to raise a dielectric constant and pressure-proofing, typically, the dielectric film for retention volume consists of cascade screens of an oxidation silicone film, a silicon nitride film or an oxidation silicone film, and a silicon nitride film.

[0019] Sufficient retention volume [in / on this 1st invention and / a retention volume component] Cs In order to secure, typically, the thickness of the dielectric film for retention volume is 5nm or more 300nm or less, and is 10nm or more 100nm or less suitably.

[0020] Invention of the 2nd of this invention is characterized by forming a retention volume component on a substrate and forming a thin film transistor in the upper layer of a retention volume component through an interlayer insulation film in the manufacture approach of a liquid crystal display that the thin film transistor and retention volume component for the drive of a pixel electrode were prepared on the substrate.

[0021] In this 2nd invention, typically, an interlayer insulation film is formed on the pixel electrode for retention volume, a thin film semiconductor layer is formed on an interlayer insulation film, and gate wiring is formed through a gate dielectric film on a thin film semiconductor layer. And a thin film transistor is constituted by the source / drain field formed in the thin film semiconductor layer, and gate wiring formed through the gate dielectric film on the thin film semiconductor layer.

[0022] In this 2nd invention, typically, while forming gate wiring, the conductive layer which connects the source / drain field of a thin film transistor, and the pixel electrode for retention volume is formed.

[0023] In this 2nd invention, typically, while forming signal wiring, the conductive layer which connects the source / drain field of a thin film transistor, and the pixel electrode for retention volume is formed.

[0024] Moreover, in this invention, although the thin film semiconductor layer which constitutes a thin film transistor is a polycrystal silicone film typically, it is also possible to use compound semiconductors, such as an amorphous silicone film and single crystal silicone film or gallium arsenide (GaAs).

[0025] In this invention typically one [at least] ingredient of retention volume wiring and the pixel electrode for retention volume a tungsten, molybdenum, a tantalum, chromium, titanium, and silicification -- a tungsten -- silicification -- molybdenum and silicification -- a tantalum and silicification -- chromium and silicification -- titanium -- A tungsten alloy, a molybdenum alloy, a tantalum alloy, a chromium alloy, a titanium alloy, And it consists of ingredients chosen from the group which consists of polycrystalline silicon with which the impurity was doped, and further, in order to secure adhesion with a substrate, a dielectric film, an interlayer insulation film, etc., two-layer structure with the polycrystalline silicon with which the impurity was introduced, or a three-tiered structure may constitute.

[0026] In this invention typically moreover, gate wiring The tungsten film, the molybdenum film, the tantalum film, the chromium film, the titanium film, silicification -- the tungsten film and silicification -- the molybdenum film and silicification -- the tantalum film and silicification -- the chromium film -- silicification -- the titanium film, the tungsten alloy film, the molybdenum alloy film, and the tantalum alloy film -- It consists of chromium alloy film, titanium-alloy film, or a silicone film with which the impurity was introduced, and further, in order to secure adhesion with a substrate, a dielectric film, an interlayer insulation film, etc., two-layer structure with the polycrystalline silicon with which the impurity was introduced, or a three-tiered structure may constitute.

[0027] Since constraint by other wiring and electrodes in the layout of a retention volume component can be reduced by trying preparing a retention volume component in the lower layer of a thin film transistor according to the liquid crystal display by this invention constituted as mentioned above, and its manufacture approach, that design degree of freedom can be raised and the area superficially occupied by the retention volume component can be reduced.

[0028]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about the operation gestalt of

this invention. In addition, in the complete diagram of the following operation gestalten, the sign identically same into a corresponding part is attached.

[0029] Drawing 1 shows an example of the TFT substrate of the liquid crystal display by the 1st operation gestalt of this invention, and drawing 2 shows an example of the flat-surface layout of this TFT substrate. This liquid crystal display is a liquid crystal display of for example, a active-matrix mold.

[0030] As shown in drawing 1 , in this liquid crystal display, the pixel electrode 2 for retention volume of a predetermined configuration is formed on the insulating transparency substrates 1, such as a quartz-glass substrate in a protection-from-light field. This pixel electrode 2 for retention volume consists of WSi film whose thickness is 50nm. On this pixel electrode 2 for retention volume, the dielectric film 3 for retention volume is formed. This dielectric film 3 for retention volume is SiO₂ whose thickness is 60nm. It consists of film. On this dielectric film 3 for retention volume, the retention volume wiring 4 by which pattern NINGU was carried out so that a viewing area might be crossed is formed. This retention volume wiring 4 consists of WSi film whose thickness is 200nm. The retention volume component is constituted by the structure which sandwiched the dielectric film 3 for retention volume between this retention volume wiring 4 and the pixel electrode 2 for retention volume.

[0031] Moreover, the interlayer insulation film 5 is formed so that the retention volume wiring 4 may be covered. This interlayer insulation film 5 consists of non dope silicate glass (NSG, silica glass) whose thickness is 600nm. The contact hole 6 is established in the part of the interlayer insulation film 5 on the pixel electrode 2 for retention volume.

[0032] On the interlayer insulation film 5, the thin film semiconductor layer 7 of a predetermined configuration is formed. This thin film semiconductor layer 7 consists of polycrystal Si whose thickness is 75nm. Illustration is LDD (Lightly Doped Drain) in the thin film semiconductor layer 7, although omitted. The source field and drain field of structure are formed. The gate dielectric film 8 is formed on this thin film semiconductor layer 7. The gate dielectric film 8 is SiO₂ whose thickness is 30nm. It consists of film. The gate wiring G is formed on this gate dielectric film 8. The gate wiring G consists of a cascade screen to which the laminating of the polycrystal Si film 9 and the WSi film 10 whose thickness is 100nm with which impurities, such as Lynn (P) whose thickness is 100nm, were doped by high concentration was carried out one by one. The polysilicon SiTFT for a pixel electrode drive is constituted by the source field and drain field of a gate electrode and LDD structure which consist of this gate wiring G.

[0033] Moreover, the interlayer insulation film 11 is formed so that the thin film semiconductor layer 7 and the gate wiring G may be covered. While contact holes 12 and 13 are formed in the predetermined parts of this interlayer insulation film 11 and the gate dielectric film 8, opening 14 is formed in the part of the interlayer insulation film 11 on a contact hole 6. Moreover, the signal wiring 15 connected to the source field of polysilicon SiTFT through the contact hole 12 is formed on the interlayer insulation film 11 in a protection-from-light field. Moreover, the drawer electrode 16 connected to the drain field of polysilicon SiTFT through the contact hole 13 is formed on an interlayer insulation film 11, and this drawer electrode 16 is connected to the pixel electrode 2 for retention volume through opening 14 and a contact hole 6. Such signal wiring 15 and the drawer electrode 16 consist of an aluminum alloy whose thickness is 400nm and which contains Si 1%. The interlayer insulation film 17 is formed so that such drawer electrodes 16 and signal wiring 15 may be covered. This interlayer insulation film 17 consists of phosphorus silicate glass (the Lynn silica glass, PSG) whose thickness formed by for example, ozone (O₃) gas and the CVD method which used tetraethyl oxosilane (TEOS) as material gas is 400nm. The contact hole 18 is formed on the drawer electrode 16 in the predetermined part of an interlayer insulation film 17.

[0034] On the interlayer insulation film 17, the conductive upper light-shielding film 19 is formed. Besides, the layer light-shielding film 19 consists of Ti film whose thickness is 250nm. The upper light-shielding film 19 is pulled out through a contact hole 18, and is connected with the electrode 16. It pulls out with these upper light-shielding films 19, and all protection from light of fields other than a pixel opening field is made to the incident light from the upper part by superposition with an electrode 16 and signal wiring 15.

[0035] The interlayer insulation film 20 is formed so that the upper light-shielding film 19 may be covered. This interlayer insulation film 20 consists of NSG film whose thickness formed by the plasma-CVD method which used TEOS as material gas is 2.5 micrometers. The contact hole 21 is established in this interlayer insulation film 20 in the predetermined part on the upper light-shielding film 19. Moreover, except for the part of a contact hole 21, flattening of the front face of an interlayer insulation film 20 is carried out. On the interlayer insulation film 20, the transparent pixel electrode 22 connected with the upper light-shielding film 19 through this contact hole 21 is formed. This pixel electrode 22 consists of an indium stannic acid ghost (ITO) whose thickness is 140nm.

[0036] Moreover, although the illustration abbreviation was carried out, the orientation film (not shown) is prepared so that this pixel electrode 22 may be covered.

[0037] Liquid crystal is enclosed between the TFT substrate constituted as mentioned above and the thing which carried out the laminating of the transparent electrode as a counterelectrode, and the orientation film of liquid crystal one by one on the 1 principal plane of the glass substrate which carried out the illustration abbreviation, and the liquid crystal display is constituted.

[0038] The flat-surface layout of the TFT substrate immediately after signal wiring 15 and formation of the drawer electrode 16 is shown in drawing 2 A. As shown in drawing 2 A, in this 1st operation gestalt, signal wiring 15 is formed in parallel mutually. The drawer electrode 16 is formed in the field between the adjoining signal wiring 15. The gate wiring G is formed in the direction perpendicular to the longitudinal direction of signal wiring 15. It is prepared in the L character mold in the part to which the pixel electrode 2 for retention volume pulled out with the part which met signal wiring 15, and met the electrode 16. The retention volume wiring 4 (inside of drawing 2 , slash section) is formed so that that longitudinal direction may become parallel to this gate wiring G. Moreover, the part of a wrap convex configuration and the part of the concave configuration which avoids the field of a contact hole 6 are prepared in the retention volume wiring 4 in the part of the thin film semiconductor layer 7. And the drawer electrode 16 and the pixel electrode 2 for retention volume are connected through the contact hole 6 established in the field of the concave configuration of the retention volume wiring 4 in the field with which the drawer electrode 16 is not lapped.

[0039] The thin film semiconductor layer 7 is formed in the L character mold in the part which laps with the gate wiring G, and the part which laps with the retention volume wiring 4. The contact hole 12 is formed in the end of a field which lapped with the signal wiring 15 of the field of the thin film semiconductor layer 7. The thin film semiconductor layer 7 and signal wiring 15 are connected through this contact hole 12. The contact hole 13 is formed in the other end of a field which lapped with the drawer electrode 16 in the field of the thin film semiconductor layer 7, it pulls out with the thin film semiconductor layer 7, and the electrode 16 is connected through this contact hole 13.

[0040] Drawing 2 B shows the flat-surface layout of the TFT substrate after formation of the pixel electrode 22. As shown in drawing 2 B, between the parallel signal wiring 15 which adjoined is straddled mutually, the drawer electrode 16 is lapped, and the upper light-shielding film 19 is formed. It pulls out with the upper light-shielding film 19, and the contact hole 18 is formed in the overlapping part of a field with an electrode 16. Through this contact hole 18, it pulls out with the upper light-shielding film 19, and the electrode 16 of each other is connected. Lapping with the part of signal wiring 15, and the part of the upper light-shielding film 19, as the pixel electrode 22 covers the part which is not covered with signal wiring 15 and the upper light-shielding film 19, it is prepared. The contact hole 21 is formed in the overlapping field of the pixel electrode 22 and the upper light-shielding film 19. The upper light-shielding film 19 and the pixel electrode 22 are connected through this contact hole 21.

[0041] Next, an example of the manufacture approach of the liquid crystal display by this 1st operation gestalt constituted as mentioned above is explained.

[0042] First, on the insulating transparency substrate 1, as shown in drawing 1 , after forming the WSi film, the pixel electrode 2 for retention volume is formed with a CVD method by carrying out patterning of this film to the island shape for every pixel. Next, it is SiO₂, for example on the pixel electrode 2 for retention volume by the CVD method. The dielectric film 3 for retention volume which consists of film is formed. Whenever [in formation of this dielectric film 3 for retention volume / stoving temperature] is 800 degrees C. Next, for example with a CVD method, after forming the WSi film in the whole surface, the retention volume wiring 4 is formed by carrying out pattern NINGU of this film so that a viewing area may be crossed. next, the whole surface -- for example, ordinary pressure chemical vapor deposition (AP-CVD) -- an interlayer insulation film 5 is formed by forming the NSG film by law.

[0043] next, for example, reduced pressure chemical vapor deposition (LP-CVD) -- after growing up crystal grain by forming a thin film Si layer on an interlayer insulation film 5 by law, for example, heat-treating, the thin film semiconductor layer 7 which consists of polycrystal Si is formed by carrying out pattern NINGU of this thin film Si layer. Next, after oxidizing thin film semiconductor layer 7 front face, the ion implantation of the p mold impurities, such as boron (B), is carried out to low concentration on the whole surface.

[0044] Next, it is SiO₂, for example on the thin film semiconductor layer 7 by the CVD method. The gate dielectric film 8 is formed by forming the film.

[0045] Next, POCl₃ after forming the polycrystal Si film 9 on the gate dielectric film 8 with LP-CVD

method P is diffused in the polycrystal Si film 9, and low specific resistance is made to form by heat-treating in gas. Next, the WSi film 10 is formed with a CVD method on this polycrystal Si film 9. Then, the gate wiring G is formed by carrying out patterning of the cascade screen which consists of this polycrystal Si film 9 and WSi film 10 to a gate wiring configuration.

[0046] Next, the ion implantation of the P of n mold impurity is carried out to the whole surface by low concentration. Next, after carrying out the mask of the LDD formation section in the formation field of a p channel MOS transistor, and the formation field of an n channel MOS transistor by forming a resist pattern (not shown) according to a lithography process, the ion implantation of the n mold impurities, such as As, is carried out to high concentration. Thereby, in n channel MOS transistors including a thin film transistor, the source / drain field which has LDD structure are formed. Then, a resist pattern is removed.

[0047] Next, after carrying out the mask of the formation field of a thin film transistor and the n channel MOS transistor in a circuit by forming a resist pattern (not shown) according to a lithography process, the ion implantation of the p mold impurities, such as B, is carried out to high concentration, and the p channel MOS transistor in a circuit is formed.

[0048] Next, O3 With the CVD method using gas and TEOS gas, an interlayer insulation film 11 is formed in the whole surface by forming the PSG film. Then, by heat-treating at an elevated temperature, the crystallinity of the ion-implantation field of a source field and a drain field is recovered, and an impurity is activated.

[0049] Next, after forming in the part of the retention volume wiring 4 of the right-and-left edge of a viewing area, and the formation field of a contact hole 6 the resist pattern which has opening, an interlayer insulation film 11 is etched by the wet etching method. Thereby, opening 14 is formed.

[0050] Next, the resist pattern which has opening is formed in the part of the retention volume wiring 4 of the right-and-left edge of a viewing area, and the formation field of contact holes 6, 12, and 13 according to a lithography process. Next, it etches by the dry etching method by using this resist pattern as a mask.

Thereby, while contact holes 12 and 13 are formed in the part of the interlayer insulation film 11 on the thin film semiconductor layer 7, a contact hole 6 is formed in the part of the interlayer insulation film 5 on the pixel electrode 2 for retention volume. Moreover, although the illustration abbreviation was carried out, a predetermined contact hole is formed in the part of the circuit besides the retention volume wiring 2, the gate wiring G, and a pixel. Then, a resist pattern is removed.

[0051] Next, aluminum alloy (aluminum-Si alloy) film which contains Si 1% is formed on the whole surface, for example by the sputtering method. Next, a resist pattern (not shown) is formed on the formation field of wiring in a circuit, and a pad (neither is illustrated) the formation field top of signal wiring 15 and the drawer electrode 16 according to a lithography process. Next, patterning of the aluminum alloy film is carried out by the dry etching method by using this resist pattern as a mask. Thereby, while forming signal wiring 15 and the drawer wiring 16, a pad and wiring in a circuit are formed. In addition, these wiring and electrodes are good also as multilayer structure which could use aluminum radical alloys, such as an aluminum-Si-Cu alloy and an aluminum-Cu alloy, and Cu radical alloy, and prepared barrier metal, such as Ti, TiN, TiON, and WSi, in the lower layer or the upper layer of these aluminum radical alloys or Cu radical alloy further besides the aluminum-Si alloy.

[0052] Next, O3 With the CVD method using gas and TEOS gas, an interlayer insulation film 17 is formed in the whole surface by forming the PSG film. Next, the resist pattern (not shown) which has opening to a contact hole 18 and the formation field of a pad is formed on an interlayer insulation film 17. Then, by using this resist pattern as a mask, by the dry etching method, an interlayer insulation film 17 is etched until the front face of the drawer electrode 16 is exposed. While the contact hole for connecting with a pad is formed by this, a contact hole 13 is formed on the drawer electrode 16. Then, a resist pattern is removed.

[0053] Next, after forming Ti film on the whole surface, for example by the sputtering method, the upper light-shielding film 19 is formed by carrying out patterning of this Ti film to a predetermined configuration according to a lithography process and an etching process.

[0054] Next, an interlayer insulation film 20 is formed, for example by forming the NSG film by the plasma-CVD method using TEOS gas.

[0055] Next, after forming the resist pattern (not shown) which has opening to the formation field of a contact hole 21, and the formation field of a pad on an interlayer insulation film 20 according to a lithography process, an interlayer insulation film 20 is etched by the dry etching method by using this resist pattern as a mask. While a contact hole 21 is formed of this, a pad front face is exposed with this. Then, a resist pattern is removed.

[0056] Next, N2 which contained H 4% Transistor characteristics are raised by heat-treating in gas.

[0057] Next, after forming the ITO film on the whole surface, for example by the sputtering method, the pixel electrode 22 of transparency is formed by carrying out patterning of this ITO film.

[0058] Then, after forming the orientation film on the pixel electrode 22 and manufacturing a TFT substrate, according to a well-known approach, a process is advanced conventionally, and the target liquid crystal display is completed.

[0059] By providing the retention volume component constituted from retention volume wiring 4, a dielectric film 3 for retention volume, and a pixel electrode 2 for retention volume by the lower layer of the thin film semiconductor layer 7 which constitutes a thin film transistor according to this 1st operation gestalt, as explained above Since the retention volume wiring 4 and the pixel electrode 3 for retention volume do not receive constraint by other wiring of the gate wiring G of TFT etc. superficially The capacity formation area of the capacitative element for maintenance can fully be secured, reducing the face shield product between pixels, and it is the retention volume Cs. It is fully securable. For this reason, since pixel signal potential in case the thin film transistor of each pixel is OFF can be stabilized, display image quality can be raised. Moreover, by being arranged to the field which has allowances 1.0 micrometers or more for the retention volume wiring 4 superficially to the channel formation field of a thin film transistor, and has width of face of 0.5 micrometers or more in each direction Since the light which the pixel electrode 2 for retention volume and the retention volume wiring 4 commit as a light-shielding film to TFT, and carries out incidence to a thin film transistor from across can be reduced to the optical incidence from the rear-face side of a TFT substrate Degradation of the image quality resulting from an optical beam induced current can be prevented, and further improvement in display image quality can be aimed at. Therefore, since improvement in display image quality can be aimed at reducing the face shield product between pixels, the Takamitsu permeability and highly-minute-izing in a liquid crystal display are realizable.

[0060] Next, the liquid crystal display by the 2nd operation gestalt of this invention is explained. Drawing 3 shows an example of the TFT substrate of the liquid crystal display by this 2nd operation gestalt.

[0061] As shown in drawing 3 , unlike the 1st operation gestalt, in the liquid crystal display by this 2nd operation gestalt, the interlayer insulation film 31 with which flattening of that front face was carried out is formed on the interlayer insulation film 17. The contact hole 32 is established in the part of the interlayer insulation films 31 and 17 on the drawer electrode 16. The upper light-shielding film 19 is formed on the interlayer insulation film 31, it pulls out through a contact hole 32 and the electrode 16 and the upper light-shielding film 19 are connected. The interlayer insulation film 33 is formed so that the upper light-shielding film 19 may be covered on an interlayer insulation film 31. The contact hole 34 is established in the part of the interlayer insulation film 33 on the upper light-shielding film 19. The pixel electrode 22 is formed on the interlayer insulation film 33, and the pixel electrode 22 and the upper light-shielding film 19 are connected through the contact hole 34. Since it is the same as that of the 1st operation gestalt about other configurations, explanation is omitted.

[0062] In the manufacture approach of the liquid crystal display constituted as mentioned above, it carries out to formation of an interlayer insulation film 17 similarly in the 1st operation gestalt first. Next, unlike the 1st operation gestalt, an interlayer insulation film 31 is formed on an interlayer insulation film 17. Next, flattening of the interlayer insulation film 31 front face is carried out, for example by the CMP method. Next, a contact hole 32 is formed in the part of the interlayer insulation films 17 and 31 on the drawer electrode 16 according to a lithography process and an etching process. Next, after forming Ti film in the whole surface, for example by the sputtering method, the upper light-shielding film 19 is formed by carrying out patterning of this Ti film. Next, for example with a CVD method, as the upper light-shielding film 19 is covered, an interlayer insulation film 33 is formed on an interlayer insulation film 31. Next, a contact hole 34 is formed in the part of the interlayer insulation film 33 on the upper light-shielding film 19. Then, after forming the ITO film on the whole surface, for example by the sputtering method, the pixel electrode 22 of a predetermined configuration is formed by carrying out patterning of this ITO film to a predetermined configuration. Since it is the same also in the 1st operation gestalt about the process of others in the manufacture approach of a liquid crystal display, explanation is omitted.

[0063] While being able to acquire the same effectiveness as the 1st operation gestalt by trying preparing a retention volume component in the lower layer of the thin film semiconductor layer 7 according to this 2nd operation gestalt, by trying forming the upper light-shielding film 19 on the interlayer insulation film 31 by which flattening was carried out, the coverage configuration of the upper light-shielding film 19 can be improved, and the incident light from an opposite substrate side can be shaded efficiently. Moreover, the parasitic capacitance between signal wiring 15 and the upper light-shielding film 19 can be reduced. Therefore, further improvement in the display image quality in this liquid crystal display can be aimed at.

[0064] Next, the liquid crystal display by the 3rd operation gestalt of this invention is explained. Drawing 4 shows an example of the TFT substrate of the liquid crystal display by this 3rd operation gestalt.

[0065] As shown in drawing 4, unlike the 1st operation gestalt, in the liquid crystal display by this 3rd operation gestalt, it considers as the two-layer structure which prepared for example, TiN film 41b on aluminum alloy film 41a which contains Si for signal wiring 15 and the drawer electrode 16 1%. And the interlayer insulation film 17 is formed so that such signal wiring 15 and the drawer electrode 16 may be covered. Moreover, the upper light-shielding film is not prepared on an interlayer insulation film 17, but the interlayer insulation film 42 with which flattening of the front face was carried out is formed. The contact hole 43 is formed in the part of the interlayer insulation films 17 and 42 on the drawer electrode 16. The pixel electrode 22 is formed on the interlayer insulation film 42. It pulls out with the pixel electrode 22 and the electrode 16 is connected through the contact hole 43. Moreover, although illustration is omitted, the pixel protection-from-light field corresponding to the upper light-shielding film 19 of the TFT substrate in the 1st operation gestalt is prepared into the opposite substrate through the upper liquid crystal layer of a TFT substrate. Since it is the same also in the 1st operation gestalt about the configuration of others of a liquid crystal display, explanation is omitted.

[0066] In the manufacture approach of the liquid crystal display by the 3rd operation gestalt constituted as mentioned above, it carries out to formation of an interlayer insulation film 11 similarly in the 1st operation gestalt first. Then, sequential formation of opening 14 and the contact holes 6, 12, and 13 is carried out. Next, after forming in the whole surface aluminum alloy film 41a which contains Si 1%, for example by the sputtering method, TiN film 41b is formed on aluminum alloy film 41a. Next, signal wiring 15 and the drawer electrode 16 are formed by carrying out patterning of the cascade screen which consists of this TiN film 41b and aluminum alloy film 41a to a predetermined configuration. Next, as such signal wiring 15 and the drawer electrode 16 are covered, an interlayer insulation film 17 is formed in the whole surface. Next, an interlayer insulation film 42 is formed on an interlayer insulation film 17, for example with a CVD method. Then, flattening is carried out by grinding the front face, for example by the CMP method. Next, a contact hole 43 is formed by etching the part of the interlayer insulation films 17 and 42 on the drawer electrode 16 according to a lithography process and an etching process, until the front face of TiN film 41b is exposed. Next, the whole surface on an interlayer insulation film 42, for example, by the sputtering method, as it connects with the drawer electrode 16 electrically through a contact hole 43, the ITO film is formed. Then, the pixel electrode 22 is formed by carrying out patterning of this ITO film to a predetermined configuration. About the process of others in the manufacture approach of a liquid crystal display, since it is the same also in the 1st operation gestalt, explanation is omitted.

[0067] Moreover, it is also possible to establish a contact hole (not shown) in the part of the interlayer insulation films 11, 17, and 42 on the thin film semiconductor layer 7, and to carry out direct continuation of the pixel electrode 22 and the thin film semiconductor layer 7 through this contact hole as other examples of this 3rd operation gestalt.

[0068] according to this 3rd operation gestalt -- the lower layer of the thin film semiconductor layer 7 -- a retention volume component -- preparing -- ***** -- the same effectiveness as the 1st operation gestalt can be acquired by things. Moreover, although it is made not to form the upper light-shielding film 19 into a TFT substrate and direct continuation of the drawer electrode 16 and the pixel electrode 22 is carried out, good electrical installation is securable between the drawer electrode 16 and the pixel electrode 22 by considering as the two-layer structure which prepared TiN film 41b on aluminum alloy film 41a which contains Si for the drawer electrode 16 1%.

[0069] Next, an example of the liquid crystal display by the 4th operation gestalt of this invention is explained. Drawing 5 shows an example of the TFT substrate of the liquid crystal display by this 4th operation gestalt.

[0070] As shown in drawing 5, unlike the 1st operation gestalt, in the liquid crystal display by this 5th operation gestalt, the retention volume wiring 4 of a predetermined configuration is formed on the insulating transparency substrate 1. On the retention volume wiring 4, the pixel electrode 2 for retention volume is formed through the dielectric film 3 for retention volume. The contact hole 6 is established in the part of the interlayer insulation film 5 on the pixel electrode 2 for retention volume. It pulls out with the pixel electrode 2 for retention volume through this contact hole 6, and the electrode 16 is connected electrically. About the configuration of others in a liquid crystal display, since it is the same also in the 1st operation gestalt, explanation is omitted.

[0071] The WSi film 2 whose thickness is 200nm on the insulating glass substrate 1 by the CVD method first in the manufacture approach of the liquid crystal display constituted as mentioned above unlike the 1st

operation gestalt, for example, SiO whose thickness is 60nm, The film and thickness carry out sequential membrane formation of the WSi film which is 50nm. Next, by carrying out patterning of the cascade screen which consists of this WSi/SiO₂ / WSi film according to a lithography process and an etching process, the pixel electrode 2 for retention volume, the dielectric film 3 for retention volume, and the retention volume wiring 4 are formed, and the retention volume component which consists of these is formed. About the process of others in the manufacture approach of a liquid crystal display, since it is the same also in the 1st operation gestalt, explanation is omitted.

[0072] According to this 4th operation gestalt, the same effectiveness as the 1st operation gestalt can be acquired by trying preparing a retention volume component in the lower layer of the thin film semiconductor layer 7. In order to secure the formation field of a contact hole 6 by forming the retention volume wiring 4 in the lower layer of the pixel electrode 2 for retention volume, and having the 1st retention volume component and laminated structure in an operation gestalt reversely, it becomes unnecessary moreover, to remove some retention volume wiring 4. Thereby, since the retention volume area of a retention volume component can be made to increase further, it is the retention volume Cs. It can be made to increase.

[0073] Next, the liquid crystal display by the 5th operation gestalt of this invention is explained. Drawing 6 shows an example of the TFT substrate of the liquid crystal display by this 5th operation gestalt.

[0074] As shown in Drawing 6, unlike the 1st operation gestalt, in the liquid crystal display by this 5th operation gestalt, the drawer electrode 61 connected to the pixel electrode 2 for retention volume through the contact hole 6 formed in the interlayer insulation film 5 consists of cascade screens with the same structure 9 as the gate electrode G, i.e., the polycrystal Si film, and the WSi film 10. The end section of this drawer electrode 61 is connected to the part of the drain field of the thin film semiconductor layer 7.

Thereby, the drain field of a thin film transistor and the pixel electrode 2 for retention volume are connected electrically. Moreover, the electrode 62 which consists of aluminum alloy film which contains Si 1% is connected to the drain field of the thin film semiconductor layer 7 through the contact hole 13 formed in the interlayer insulation film 11. About the configuration of others in a liquid crystal display, since it is the same also in the 1st operation gestalt, explanation is omitted.

[0075] In the manufacture approach of the liquid crystal display constituted as mentioned above, it carries out like the 1st operation gestalt first to formation of the gate dielectric film 8 on the thin film semiconductor layer 7. Next, unlike the 1st operation gestalt, a contact hole 6 is formed in the part of the interlayer insulation film 5 on the pixel electrode 2 for retention volume according to a lithography process and an etching process. Next, a cascade screen is formed by carrying out sequential membrane formation of the polycrystal Si film 9 and the WSi film 10 with which P was doped by the whole surface, for example with LP-CVD method. Next, patterning of this cascade screen is carried out to a configuration connectable with the pixel electrode 2 for retention volume through a contact hole 6, lapping with the configuration and flat-surface target of the gate wiring G to the drain field of the thin film semiconductor layer 7. Thereby, the gate wiring G which consists of a cascade screen of the polycrystal Si film 9 and the WSi film 10, and the drawer electrode 61 are formed. Then, an interlayer insulation film 11 is formed so that these gate wiring G and the drawer electrode 61 may be covered, and contact holes 12 and 13 are formed in the part on the thin film semiconductor layer 7 of an interlayer insulation film 11. Next, after forming aluminum alloy film which contains Si 1% by the sputtering method, patterning of this aluminum alloy film is carried out to the configuration of signal wiring 15 and an electrode 62. While the signal wiring 15 connected to the source field of the thin film semiconductor layer 7 through a contact hole 12 is formed by this, the electrode 62 connected to the drain field of the thin film semiconductor layer 7 is formed. Next, O3 With the CVD method using gas and TEOS gas, the interlayer insulation film 17 which consists of a PSG is formed in the whole surface. About the process of others in the manufacture approach of this liquid crystal display, since it is the same also in the 1st operation gestalt, explanation is omitted.

[0076] According to this 5th operation gestalt, the same effectiveness as the 1st operation gestalt can be acquired by trying preparing a retention volume component in the lower layer of the thin film semiconductor layer 7.

[0077] Next, the liquid crystal display by the 6th operation gestalt of this invention is explained. Drawing 7 shows an example of the TFT substrate of the liquid crystal display by this 6th operation gestalt.

[0078] Unlike the 5th operation gestalt, in the liquid crystal display by this 6th operation gestalt, the contact plug 71 which consists of W is embedded to the interior of the contact hole 6 formed in the part of the interlayer insulation film 5 on the pixel electrode 2 for retention volume. On the interlayer insulation film 5, it connects with the contact plug 71 and the drawer electrode 72 which consists of a cascade screen which carried out the laminating of the polycrystal Si film 9 and the WSi film 10 one by one is formed. It pulls out

with the pixel electrode 2 for retention volume, and the electrode 72 is electrically connected through the contact plug 71 by this. About the configuration of others in a liquid crystal display, since it is the same also in the 5th operation gestalt, explanation is omitted.

[0079] In the manufacture approach of the liquid crystal display constituted as mentioned above, it carries out to formation of an interlayer insulation film 5 like the 1st operation gestalt first. Next, unlike the 1st operation gestalt, a contact hole 6 is formed in the part of the interlayer insulation film 5 on the pixel electrode 2 for retention volume according to a lithography process and an etching process. Next, for example with a blanket W-CVD method, as it embeds to the interior of a contact hole 6, W film is formed on the whole surface. Next, etchback of W film is performed, for example by making chlorine trifluoride (ClF₃) gas into etching gas. Thereby, the contact plug 71 which consists of W is embedded to the interior of a contact hole 6. Next, sequential formation of the thin film semiconductor layer 7 and the gate dielectric film 8 is carried out like the 1st operation gestalt. Next, a cascade screen is formed by carrying out sequential membrane formation of the polycrystal Si film 9 and the WSi film 10 with which P was doped by the whole surface, for example with LP-CVD method. Next, patterning is carried out to a configuration to which the end section laps with the thin film semiconductor layer 7, connecting this cascade screen to the configuration and the contact plug 71 of the gate wiring G. Thereby, the gate wiring G which consists of a cascade screen of the polycrystal Si film 9 and the WSi film 10, and the drawer electrode 72 are formed. Then, an interlayer insulation film 11 is formed so that these gate wiring G and the drawer electrode 72 may be covered. About the process of others in the manufacture approach of this liquid crystal display, since it is the same also in the 1st operation gestalt, explanation is omitted.

[0080] According to this 6th operation gestalt, the same effectiveness as the 1st operation gestalt and the 5th operation gestalt can be acquired by trying preparing a retention volume component in the lower layer of the thin film semiconductor layer 7. Moreover, the coverage configuration of the drawer electrode 72 is more improvable by trying connecting the drawer electrode 72 and the pixel electrode 2 for retention volume through the contact plug 71.

[0081] Next, the liquid crystal display by the 7th operation gestalt of this invention is explained. Drawing 8 shows an example of the flat-surface layout of the liquid crystal display by this 7th operation gestalt.

[0082] As shown in drawing 8, in the liquid crystal display by this 7th operation gestalt, unlike the 1st operation gestalt, it is the field which laps with signal wiring 15, and the longitudinal direction of signal wiring 15 is made to extend the retention volume wiring 4 (inside of drawing 8, slash section), and it is prepared. That is, the retention volume wiring 4 is the lower layer and the field with which it laps of signal wiring 15 and the drawer electrode 16, and is prepared in the shape of a grid in accordance with those configurations. About the configuration and its manufacture approach of the liquid crystal display by this 7th operation gestalt, since it is the same also in the 1st operation gestalt, explanation is omitted.

[0083] Since retention volume area can be made to increase further by forming the retention volume wiring 4 the configuration extended at the longitudinal direction of signal wiring 15 to the field with which it is the lower layer of signal wiring 15, and laps, the shape of i.e., a grid, according to this 7th operation gestalt while being able to acquire the same effectiveness as the 1st operation gestalt, a more reliable liquid crystal display can be obtained.

[0084] As mentioned above, although the operation gestalt of this invention was explained concretely, this invention is not limited to an above-mentioned operation gestalt, and various kinds of deformation based on the technical thought of this invention is possible for it.

[0085] For example, it may not pass over the numeric value mentioned in the above-mentioned operation gestalt, structure, a configuration, an ingredient, a process, etc. for an example to the last, but a numeric value different if needed from this, structure, a configuration, an ingredient, a process, etc. may be used.

[0086] Moreover, it sets in the 1st above-mentioned operation gestalt, and is SiO₂ as a dielectric film 3 for retention volume. Although the film is used, they are [an SiN film and] SiO₂ / SiN/SiO₂ as a dielectric film 3 for retention volume. It is also possible to use the film etc.

[0087] Moreover, in the 1st above-mentioned operation gestalt, although the WSi film is used as the pixel electrode 2 for retention volume, and retention volume wiring 4, it is also possible to use the polycrystal Si film which doped the impurity as these pixel electrodes 2 for retention volume and retention volume wiring 4. Moreover, although gate wiring G is made into the cascade screen which formed the WSi film 10 on the polycrystal Si film 9, it is possible to use W film, Mo film, Ta film, Cr film, and Ti film as film prepared on the polycrystal Si film 9. Moreover, it is also possible to use these silicide film and alloy film.

[0088]

[Effect of the Invention] Since the design degree of freedom of a retention volume component can be raised

by trying preparing a retention volume component in the lower layer of the thin film semiconductor layer which constitutes a thin film transistor according to this invention as explained above, a pixel protection-from-light field can be made to be able to reduce, securing retention volume area, and the liquid crystal display made highly minute by this with the Takamitsu permeability can be obtained.

[Translation done.]

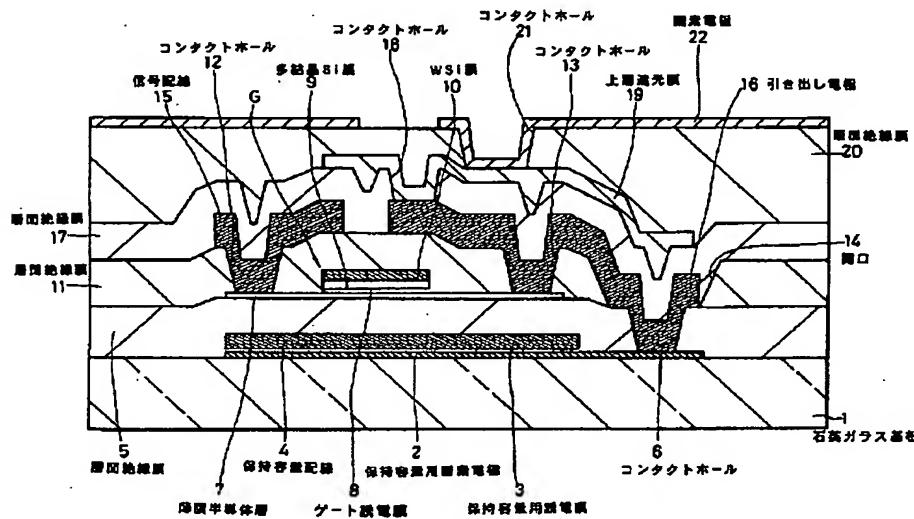
* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

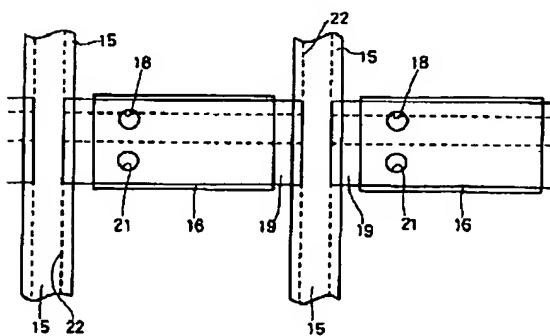
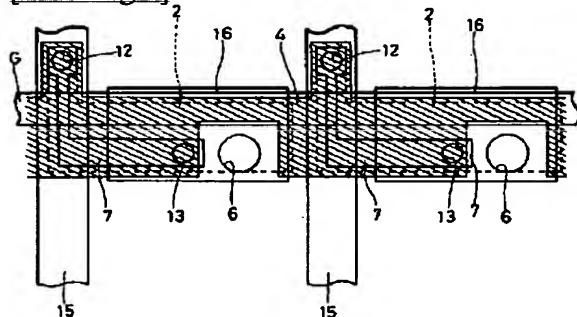
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

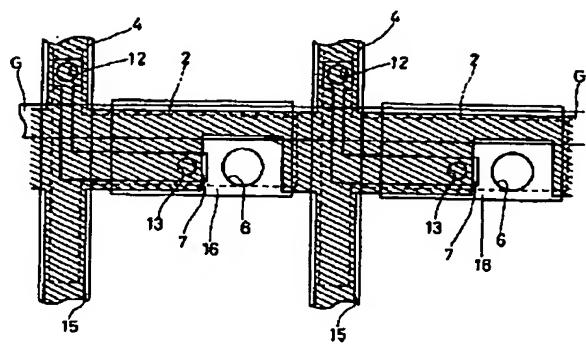
[Drawing 1]



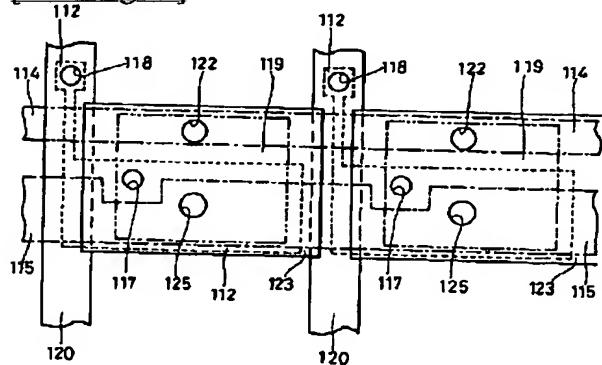
[Drawing 2]



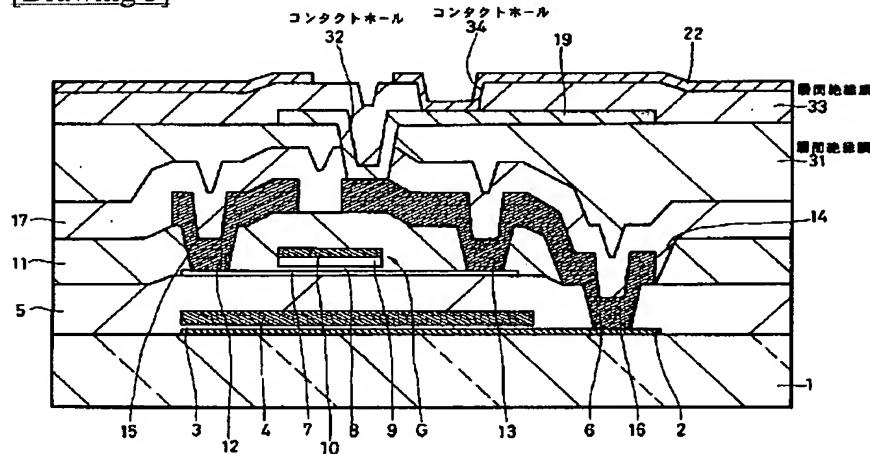
[Drawing 8]



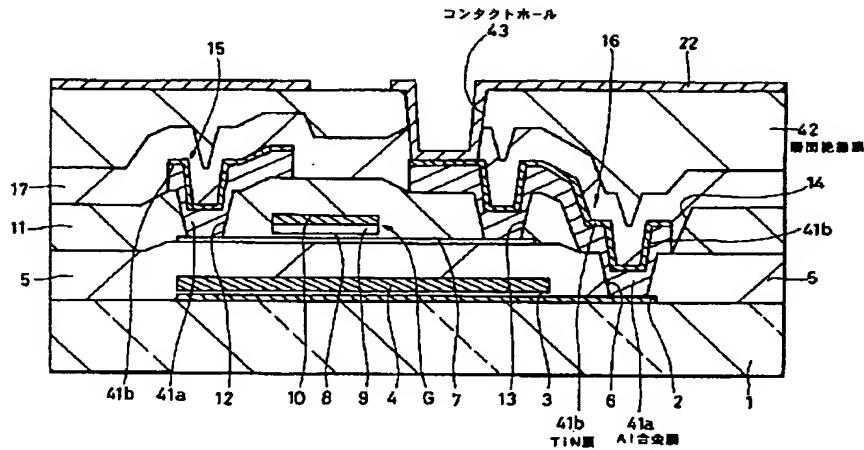
[Drawing 11]



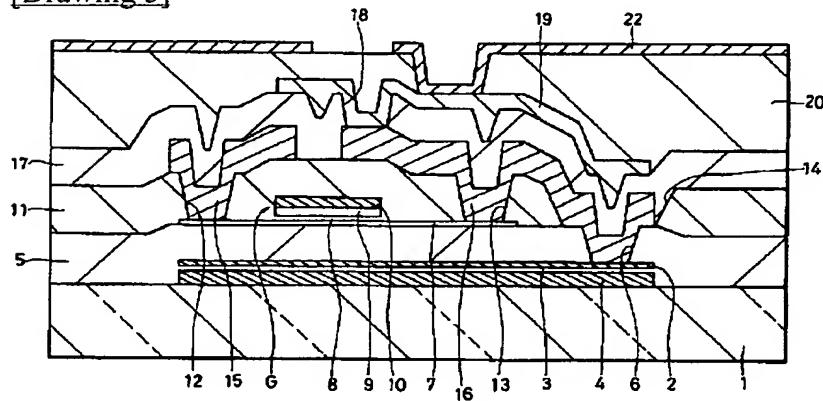
[Drawing 3]



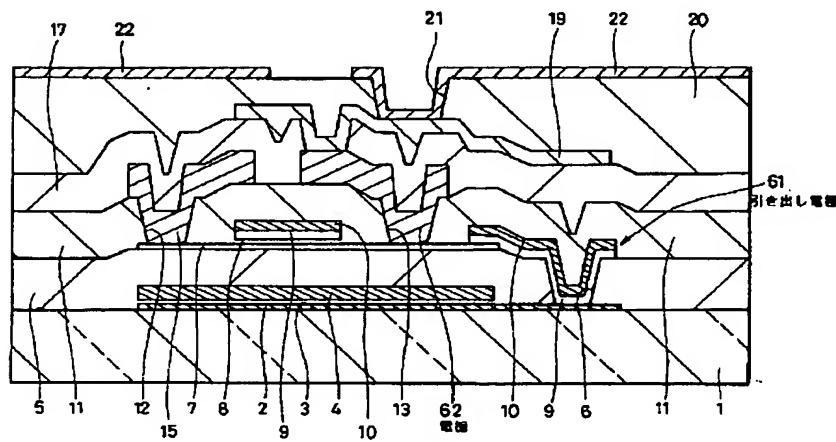
[Drawing 4]



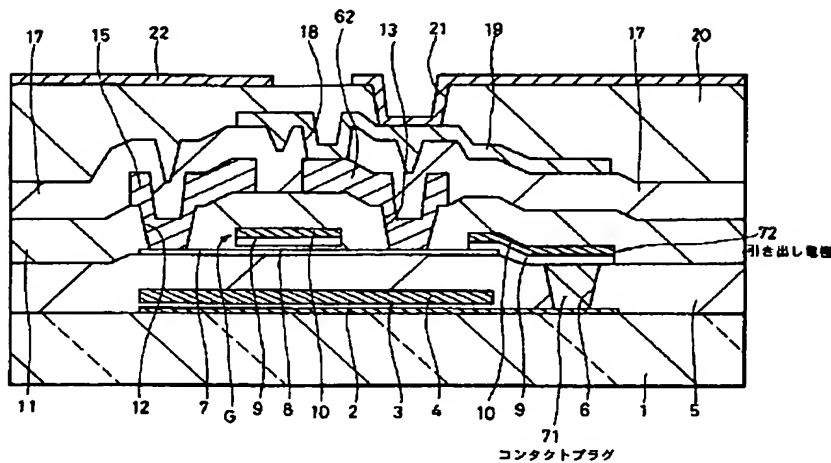
[Drawing 5]



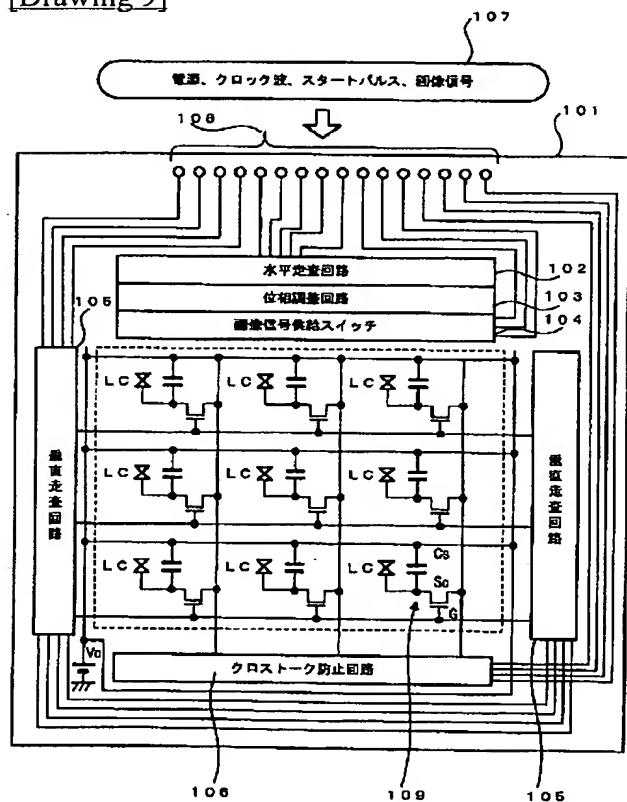
[Drawing 6]



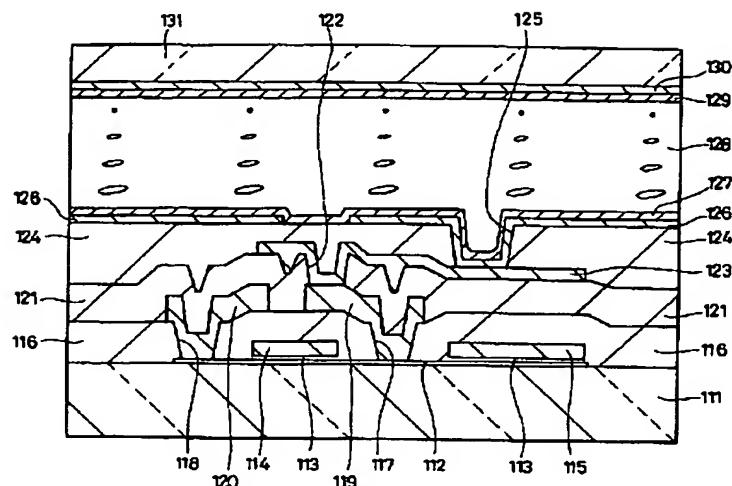
[Drawing 7]



[Drawing 9]



[Drawing 10]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-66638

(P2001-66638A)

(43)公開日 平成13年3月16日 (2001.3.16)

(51)Int.Cl.⁷

識別記号

G 0 2 F 1/1368

G 0 9 F 9/30

H 0 1 L 29/786

21/336

F I

テマコト(参考)

G 0 2 F 1/136

5 0 0 2 H 0 9 2

G 0 9 F 9/30

3 3 8 5 C 0 9 4

H 0 1 L 29/78

6 1 2 D 5 F 1 1 0

審査請求 未請求 請求項の数14 O L (全 14 頁)

(21)出願番号

特願平11-243990

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22)出願日

平成11年8月30日 (1999.8.30)

(72)発明者 阿部 文明

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72)発明者 佐藤 拓生

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(74)代理人 100082762

弁理士 杉浦 正知

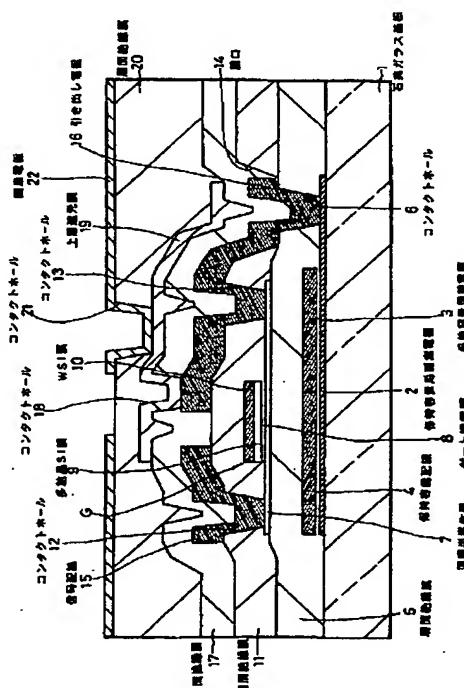
最終頁に続く

(54)【発明の名称】 液晶表示装置およびその製造方法

(57)【要約】

【課題】 液晶表示装置において、保持容量面積を確保しつつ画素間遮光領域を縮小させることによって、高光透過率および高精細化を実現する。

【解決手段】 絶縁性透明基板1上に、保持容量素子を構成する保持容量用画素電極2、保持容量用誘電膜3および保持容量配線4を順次設ける。保持容量素子を覆うようにして層間絶縁膜5を設ける。層間絶縁膜5上に、ソース／ドレイン領域を有する薄膜半導体層7と、ゲート誘電膜8と、ゲート配線Gからなるゲート電極とを設け、画素電極駆動用の薄膜トランジスタ(TFT)を構成する。薄膜半導体層7のソース領域に信号配線15、ドレイン領域に引き出し電極16を接続する。引き出し電極16により、薄膜半導体層7のドレイン領域と保持容量用画素電極2と接続し、さらに上層遮光膜19および画素電極22に接続する。



(2)

1

【特許請求の範囲】

【請求項 1】 基板上に、画素電極の駆動用の薄膜トランジスタと保持容量素子とが設けられた液晶表示装置において、上記保持容量素子が上記薄膜トランジスタを構成する薄膜半導体層の下層に設けられていることを特徴とする液晶表示装置。

【請求項 2】 上記保持容量素子が、保持容量配線と保持容量用画素電極との間に保持容量用誘電膜を挟んだ構造により構成されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 上記薄膜トランジスタのソース／ドレイン領域を構成する拡散層と上記保持容量用画素電極とが電気的に接続されていることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】 上記保持容量配線が、平面的に、上記薄膜トランジスタのチャネル形成領域と重なりつつ覆う領域に設けられていることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 5】 上記保持容量配線が、一定の電位に設定可能に構成されていることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 6】 上記保持容量用画素電極が、平面的に、上記薄膜トランジスタのチャネル形成領域と重なりつつ覆う領域に設けられていることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 7】 上記保持容量用誘電膜が酸化シリコン膜、窒化シリコン膜、または酸化シリコン膜と窒化シリコン膜との積層膜から構成されていることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 8】 上記保持容量用誘電膜の膜厚が 5 nm 以上 300 nm 以下であることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 9】 上記保持容量配線および上記保持容量用画素電極の少なくとも一方が、タンゲステン、モリブデン、タンタル、クロム、チタン、ケイ化タンゲステン、ケイ化モリブデン、ケイ化タンタル、ケイ化クロム、ケイ化チタン、タンゲステン合金、モリブデン合金、タンタル合金、クロム合金、チタン合金、または不純物がドーピングされたシリコンからなる群より選ばれた材料から構成されることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 10】 基板上に、画素電極の駆動用の薄膜トランジスタと保持容量素子とが設けられた液晶表示装置の製造方法において、

上記基板上に上記保持容量素子を形成し、

上記保持容量素子の上層に層間絶縁膜を介して上記薄膜トランジスタを形成するようにしたことを特徴とする液晶表示装置の製造方法。

【請求項 11】 上記基板上に保持容量用画素電極、保

2

持容量用誘電膜および保持容量配線を順次形成することにより、上記保持容量素子を形成するようにしたことを特徴とする請求項 10 記載の液晶表示装置の製造方法。

【請求項 12】 上記保持容量用画素電極上に層間絶縁膜を形成し、上記層間絶縁膜上に薄膜半導体層を形成し、上記薄膜半導体層上にゲート誘電膜を介してゲート配線を形成するようにしたことを特徴とする請求項 11 記載の液晶表示装置の製造方法。

【請求項 13】 ゲート配線を形成するとともに、上記薄膜トランジスタにおける拡散層と上記保持容量用画素電極とを接続する導電層を形成するようにしたことを特徴とする請求項 11 記載の液晶表示装置の製造方法。

【請求項 14】 信号配線を形成するとともに、上記薄膜トランジスタにおける拡散層と上記保持容量用画素電極とを接続する導電層を形成するようにしたことを特徴とする請求項 11 記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、液晶表示装置およびその製造方法に関し、特に、TFT アクティブマトリクス型液晶表示装置に適用して好適なものである。

【0002】

【従来の技術】 従来、薄膜トランジスタ (TFT) アクティブマトリクス型の液晶表示装置においては、それぞれの画素ごとに画素信号スイッチング用薄膜トランジスタが設けられている。これらの画素は水平方向および垂直方向に渡る配線によりマトリクス状にレイアウトされている。この従来技術による TFT アクティブマトリクス型の液晶表示装置について以下に具体的に説明する。

【0003】 すなわち、図 9 に示すように、TFT アクティブマトリクス型液晶表示装置は、TFT アクティブマトリクス型の液晶表示基板 101 上に、水平走査回路 102、位相調整回路 103、画像信号供給スイッチ 104、走査方向の制御を行う垂直走査回路 105 およびクロストークを防止するためのクロストーク防止回路 106 を搭載して構成される。なお、符号 107 は外部 IC を示し、符号 108 はこの外部 IC 107 の接続端子を示す。

【0004】 また、画像信号供給スイッチ 104 や垂直走査回路 105 には、各画素制御用の TFT 109 がマトリクス状に配設されている。この TFT 109 は、ソース／ドレイン電極 SD およびゲート電極 G により構成されている。ゲート電極 G は垂直走査回路 105 に共通に接続されている。ソース／ドレイン電極 SD は、画像信号供給スイッチ 104 およびクロストーク防止回路 106 に共通的に接続されている。

【0005】 以上のように構成された TFT アクティブマトリクス型の液晶表示装置における画素を図 10 に示す。図 10 に示すように、遮光領域における石英ガラス基板 111 上に所定形状の多結晶 Si からなる薄膜半導

(3)

3

体層112が設けられ、この薄膜半導体層112上にゲート誘電膜113が設けられている。このゲート誘電膜113上にはゲート配線114が設けられている。図示は省略するが、薄膜半導体層112中にはゲート配線114に対して自己整合的にソース領域およびドレイン領域が形成されている。ゲート配線114からなるゲート電極とこれらのソース領域およびドレイン領域とにより、画素電極駆動用の多結晶Si TFTが構成されている。ドレイン領域の上方の所定部分におけるゲート誘電膜113上には保持容量配線115が設けられている。この保持容量配線115とドレイン領域との間にゲート誘電膜113を挟んだ構造により、保持用容量素子が構成されている。

【0006】ゲート配線114および保持容量配線115を覆うように層間絶縁膜116が設けられている。この層間絶縁膜116およびゲート誘電膜113の所定部分にはコンタクトホール117、118が設けられている。層間絶縁膜116上には、コンタクトホール117を通じて多結晶Si TFTのドレイン領域に接続され引き出し電極119が設けられているとともに、コンタクトホール118を通じて多結晶Si TFTのソース領域に接続されて信号配線120が設けられている。これらの引き出し電極119および信号配線120を覆うように層間絶縁膜121が設けられている。引き出し電極119上の所定部分における層間絶縁膜121にはコンタクトホール122が設けられている。層間絶縁膜121上にこのコンタクトホール122を通じて引き出し電極119と接続された上層遮光膜123が設けられている。この上層遮光膜123と引き出し電極119および信号配線120との重ね合わせにより、上方からの入射光に対して、画素開口領域以外の領域の全ての遮光がなされている。上層遮光膜123を覆うように層間絶縁膜124が設けられている。上層遮光膜123上の所定部分におけるこの層間絶縁膜124にはコンタクトホール125が設けられている。層間絶縁膜124上には、このコンタクトホール125を通じて上層遮光膜123と接続された透明な画素電極126が設けられている。この画素電極126を覆うように配向膜127が設けられている。

【0007】配向膜127上には液晶層128が設けられており、この液晶層128上に配向膜129および対向共通電極130が設けられている。また対向共通電極130上には、透明の対向電極用基板131が設けられている。

【0008】以上のように構成された液晶表示装置においては、TFTを構成する薄膜半導体層112に接続された透明な画素電極126に印加する電圧によって、液晶層128中の液晶分子の配向を変え、表示を制御する。

【0009】また、表示領域には、信号配線、ゲート配

4

線、保持容量配線および薄膜トランジスタなどが設けられている。これらの配線およびトランジスタは、TFT基板中または対向基板中に設けた画素間遮光領域内に配置される。この配置の一例を図11に示す。図11は、TFT基板の信号配線と上層遮光膜とによって相補的に遮光領域を形成している場合の平面レイアウトの一例である。

【0010】図11に示すように、従来の液晶表示装置においては、ゲート配線114と保持容量配線115とが互いにほぼ平行に設けられている。信号配線120がこれらのゲート配線114および保持容量配線115と垂直な方向に設けられている。引き出し電極119がゲート配線114と保持容量配線115とにまたがり、かつ信号配線120に重ならない領域に設けられている。上層遮光膜123が隣接する2本の信号配線120にまたがり、この隣接する2本の信号配線120間の保持容量配線115、ゲート配線114および引き出し電極119を覆うような形状に設けられている。信号配線120と薄膜半導体層112との重なる部分の端部にコンタクトホール118が形成されている。保持容量配線115および信号配線120の下層には薄膜半導体層112が設けられている。保持容量配線115には、コンタクトホール117を避けた凹形状の部分が設けられている。この凹形状の重ならない部分に設けられたコンタクトホール117を通じて、薄膜半導体層112と引き出し電極119とが接続されている。また、引き出し電極119と上層遮光膜123との重なる領域の部分に、これらを接続するためのコンタクトホール122が形成されている。また、上層遮光膜119の保持容量配線115と重なる領域の部分に、これらを接続するためのコンタクトホール125が形成されている。

【0011】さて、上述のように構成された液晶表示装置は、近年、液晶プロジェクターのライトバルブとしても多く用いられている。これとともに、表示においてさらなる高光透過率および高精細化が望まれている。これらの高光透過率および高精細化を実現するには、液晶表示装置における画素間遮光領域の縮小化が必要である。

【0012】

【発明が解決しようとする課題】しかしながら、図11に示すように、従来の液晶表示装置においては、トランジスタ、信号配線120、ゲート配線114および保持容量配線115などがそれぞれ面積を占有し、画素開口率を向上させる妨げになっていた。

【0013】したがって、この発明の目的は、保持容量面積を確保しつつ画素間遮光領域を縮小させることができ、これによって、高光透過率で高精細化することができる液晶表示装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】すなわち、上記目的を達

(4)

5

成するために、この発明の第1の発明は、基板上に、画素電極の駆動用の薄膜トランジスタと保持容量素子とが設けられた液晶表示装置において、保持容量素子が薄膜トランジスタを構成する薄膜半導体層の下層に設けられていることを特徴とするものである。

【0015】この第1の発明において、典型的には、保持容量配線は一定の電位に設定可能に構成されている。そして、この第1の発明において、典型的には、表示領域の外側の保持容量配線の両端部を接地し、電位を0Vの定電位に設定する。この定電位は、薄膜トランジスタのしきい値電圧 V_{th} に影響を与えない範囲であれば、対向共通電極や走査回路供給電源の電位などと同様の電位にしてもよい。

【0016】この第1の発明において、TFT基板の裏面側から薄膜トランジスタに入射する光の低減を図るために、典型的には、保持容量配線は、平面的に薄膜トランジスタのチャネル形成領域と重なりつつ覆う領域に設けられており、典型的には、保持容量配線の配置領域は、平面的に薄膜トランジスタのチャネル形成領域に対して1.0 μm 程度の余裕を有して配置される。また、この第1の発明において、斜め方向からの入射光に対する遮光性を向上させるために、典型的には、保持容量配線は、薄膜トランジスタのチャネル形成領域より大きい領域に配置され、好適には、薄膜トランジスタのチャネル形成領域に対して、この領域の外側に向けて各方向に0.5 μm 以上大きい領域とする。

【0017】この第1の発明において、典型的には、保持容量用画素電極は、薄膜トランジスタのチャネル形成領域に重なる領域で、かつチャネル形成領域よりも広い領域に設けられている。

【0018】この第1の発明において、誘電率と耐圧を向上させるために、典型的には、保持容量用誘電膜は、酸化シリコン膜、窒化シリコン膜、または酸化シリコン膜と窒化シリコン膜との積層膜から構成される。

【0019】この第1の発明において、保持容量素子における十分な保持容量 C_s を確保するために、典型的には、保持容量用誘電膜の膜厚は5nm以上300nm以下であり、好適には、10nm以上100nm以下である。

【0020】この発明の第2の発明は、基板上に、画素電極の駆動用の薄膜トランジスタと保持容量素子とが設けられた液晶表示装置の製造方法において、基板上に保持容量素子を形成し、保持容量素子の上層に層間絶縁膜を介して薄膜トランジスタを形成するようにしたことを特徴とするものである。

【0021】この第2の発明において、典型的には、保持容量用画素電極上に層間絶縁膜を形成し、層間絶縁膜上に薄膜半導体層を形成し、薄膜半導体層上にゲート誘電膜を介してゲート配線を形成するようにする。そして、薄膜半導体層に形成されたソース／ドレイン領域

6

と、薄膜半導体層上にゲート誘電膜を介して形成されたゲート配線とにより、薄膜トランジスタが構成される。

【0022】この第2の発明において、典型的には、ゲート配線を形成するとともに、薄膜トランジスタのソース／ドレイン領域と保持容量用画素電極とを接続する導電層を形成する。

【0023】この第2の発明において、典型的には、信号配線を形成するとともに、薄膜トランジスタのソース／ドレイン領域と保持容量用画素電極とを接続する導電層を形成する。

【0024】また、この発明において、薄膜トランジスタを構成する薄膜半導体層は、典型的には多結晶シリコン膜であるが、非晶質シリコン膜、単結晶シリコン膜、またはヒ化ガリウム(GaAs)などの化合物半導体を用いることも可能である。

【0025】この発明において、典型的には、保持容量配線および保持容量用画素電極の少なくとも一方の材料は、タングステン、モリブデン、タンタル、クロム、チタン、ケイ化タングステン、ケイ化モリブデン、ケイ化タンタル、ケイ化クロム、ケイ化チタン、タングステン合金、モリブデン合金、タンタル合金、クロム合金、チタン合金、および不純物がドープされた多結晶シリコンからなる群より選ばれた材料から構成され、さらに、基板、誘電膜、層間絶縁膜などの密着性を確保するために、不純物が導入された多結晶シリコンとの2層構造、または3層構造により構成してもよい。

【0026】また、この発明において、典型的には、ゲート配線は、タングステン膜、モリブデン膜、タンタル膜、クロム膜、チタン膜、ケイ化タングステン膜、ケイ化モリブデン膜、ケイ化タンタル膜、ケイ化クロム膜、ケイ化チタン膜、タングステン合金膜、モリブデン合金膜、タンタル合金膜、クロム合金膜、チタン合金膜、または不純物が導入されたシリコン膜から構成され、さらに、基板、誘電膜、層間絶縁膜などの密着性を確保するために、不純物が導入された多結晶シリコンとの2層構造、または3層構造により構成してもよい。

【0027】上述のように構成されたこの発明による液晶表示装置およびその製造方法によれば、保持容量素子を薄膜トランジスタの下層に設けるようにしていることにより、保持容量素子のレイアウトにおける他の配線や電極による制約を低減することができる、その設計自由度を向上させることができ、保持容量素子により平面的に占有される面積を低減することができる。

【0028】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【0029】図1は、この発明の第1の実施形態による液晶表示装置のTFT基板の一例を示し、図2は、この

(5)

7

TFT基板の平面レイアウトの一例を示す。この液晶表示装置は例えばアクティブマトリクス型の液晶表示装置である。

【0030】図1に示すように、この液晶表示装置においては、遮光領域における石英ガラス基板などの絶縁性透明基板1上に所定形状の保持容量用画素電極2が設けられている。この保持容量用画素電極2は、例えば膜厚が50nmのWSi膜からなる。この保持容量用画素電極2上には保持容量用誘電膜3が設けられている。この保持容量用誘電膜3は例えば膜厚が60nmのSiO₂膜からなる。この保持容量用誘電膜3上には、表示領域を横断するようにパターンニングされた保持容量配線4が設けられている。この保持容量配線4は例えば膜厚が200nmのWSi膜からなる。この保持容量配線4と保持容量用画素電極2との間に保持容量用誘電膜3を挟んだ構造により、保持容量素子が構成されている。

【0031】また、保持容量配線4を覆うように層間絶縁膜5が設けられている。この層間絶縁膜5は例えば膜厚が600nmのノンドープシリケートガラス(NSG、珪酸ガラス)からなる。保持容量用画素電極2上の層間絶縁膜5の部分にはコンタクトホール6が設けられている。

【0032】層間絶縁膜5上に、所定形状の薄膜半導体層7が設けられている。この薄膜半導体層7は例えば膜厚が75nmの多結晶Siからなる。図示は省略するが、薄膜半導体層7中にはLD (Lightly Doped Drain)構造のソース領域およびドレイン領域が形成されている。この薄膜半導体層7上にゲート誘電膜8が設けられている。ゲート誘電膜8は例えば膜厚が30nmのSiO₂膜からなる。このゲート誘電膜8上にはゲート配線Gが設けられている。ゲート配線Gは、例えば膜厚が100nmのリン(P)などの不純物が高濃度にドープされた多結晶Si膜9および例えば膜厚が100nmのWSi膜10が順次積層された積層膜からなる。このゲート配線Gから構成されるゲート電極とLD構造のソース領域およびドレイン領域とにより、画素電極駆動用の多結晶SiTFTが構成されている。

【0033】また、薄膜半導体層7およびゲート配線Gを覆うように層間絶縁膜11が設けられている。この層間絶縁膜11およびゲート誘電膜8の所定部分にコンタクトホール12、13が形成されているとともに、コンタクトホール6上の層間絶縁膜11の部分に開口14が設けられている。また、遮光領域における層間絶縁膜11上に、コンタクトホール12を通じ多結晶SiTFTのソース領域に接続された信号配線15が設けられている。また、層間絶縁膜11上に、コンタクトホール13を通じ多結晶SiTFTのドレイン領域に接続された引き出し電極16が設けられ、この引き出し電極16が開口14およびコンタクトホール6を通じて保持容量用画素電極2に接続されている。これらの信号配線15およ

び引き出し電極16は、例えば膜厚が400nmの、Siを1%含むAl合金からなる。これらの引き出し電極16および信号配線15を覆うように層間絶縁膜17が設けられている。この層間絶縁膜17は、例えばオゾン(O₃)ガスとテトラエチルオキソシラン(TEOS)を原料ガスとして用いたCVD法により成膜された膜厚が400nmのリンシリケートガラス(リン珪酸ガラス、PSG)からなる。層間絶縁膜17の所定部分における引き出し電極16上にはコンタクトホール18が設けられている。

【0034】層間絶縁膜17上には、導電性の上層遮光膜19が設けられている。この上層遮光膜19は、例えば膜厚が250nmのTi膜からなる。上層遮光膜19は、コンタクトホール18を通じて引き出し電極16と接続されている。これらの上層遮光膜19と引き出し電極16および信号配線15との重ね合わせにより、上方からの入射光に対して、画素開口領域以外の領域の全ての遮光がなされている。

【0035】上層遮光膜19を覆うように層間絶縁膜20が設けられている。この層間絶縁膜20は、例えばTEOSを原料ガスとして用いたプラズマCVD法により成膜された膜厚が2.5μmのNSG膜からなる。上層遮光膜19上の所定部分におけるこの層間絶縁膜20にはコンタクトホール21が設けられている。また、層間絶縁膜20の表面は、コンタクトホール21の部分を除いて、平坦化されている。層間絶縁膜20上には、このコンタクトホール21を通じて上層遮光膜19と接続された透明な画素電極22が設けられている。この画素電極22は、例えば膜厚が140nmのインジウム錫酸化物(ITO)からなる。

【0036】また、図示省略したが、この画素電極22を覆うように配向膜(図示せず)が設けられている。

【0037】以上のようにして構成されたTFT基板と、図示省略したガラス基板の一主面上に対向電極としての透明電極および液晶の配向膜を順次積層したものの間に液晶が封入されて、液晶表示装置が構成されている。

【0038】図2Aに、信号配線15および引き出し電極16の形成直後におけるTFT基板の平面レイアウトを示す。図2Aに示すように、この第1の実施形態においては、信号配線15が互いに平行に設けられている。隣接する信号配線15の間の領域には、引き出し電極16が設けられている。信号配線15の長手方向に垂直な方向にゲート配線Gが設けられている。保持容量用画素電極2が、信号配線15に沿った部分と引き出し電極16に沿った部分とでL字型に設けられている。保持容量配線4(図2中、斜線部)が、その長手方向がこのゲート配線Gに平行になるように設けられている。また、保持容量配線4には薄膜半導体層7の部分を覆う凸形状の部分と、コンタクトホール6の領域を避ける凹形状の部

8

(6)

9

分とが設けられている。そして、引き出し電極16とが重ならない領域における保持容量配線4の凹形状の領域に設けられたコンタクトホール6を通じて、引き出し電極16と保持容量用画素電極2とが接続されている。

【0039】薄膜半導体層7は、ゲート配線Gに重なる部分と保持容量配線4に重なる部分とにおいてL字型に設けられている。薄膜半導体層7の領域の信号配線15と重なった領域の一端にはコンタクトホール12が形成されている。このコンタクトホール12を通じて、薄膜半導体層7と信号配線15とが接続されている。薄膜半導体層7の領域における引き出し電極16と重なった領域の他端にはコンタクトホール13が形成されており、薄膜半導体層7と引き出し電極16とがこのコンタクトホール13を通じて接続されている。

【0040】図2Bは、画素電極22の形成後におけるTFT基板の平面レイアウトを示す。図2Bに示すように、互いに平行な隣接した信号配線15間をまたがり、引き出し電極16を重なって、上層遮光膜19が設けられている。上層遮光膜19と引き出し電極16との重なった領域の部分にコンタクトホール18が形成されている。このコンタクトホール18を通じて、上層遮光膜19と引き出し電極16とが互いに接続されている。画素電極22は、信号配線15の部分と上層遮光膜19の部分とに重なりつつ、信号配線15および上層遮光膜19に覆われていない部分を覆うようにして設けられている。画素電極22と上層遮光膜19との重なった領域にコンタクトホール21が形成されている。このコンタクトホール21を通じて、上層遮光膜19と画素電極22とが接続されている。

【0041】次に、上述のように構成されたこの第1の実施形態による液晶表示装置の製造方法の一例について説明する。

【0042】まず、図1に示すように、絶縁性透明基板1上に、例えばCVD法により、WSi膜を形成した後、この膜を各画素ごとの島状にパターニングすることにより保持容量用画素電極2を形成する。次に、例えばCVD法により保持容量用画素電極2上にSiO₂膜からなる保持容量用誘電膜3を形成する。この保持容量用誘電膜3の形成における加熱温度は例えば800°Cである。次に、例えばCVD法により、全面にWSi膜を形成した後、この膜を表示領域を横断するようにパターンニングすることにより保持容量配線4を形成する。次に、全面に、例えば常圧化学気相成長(AP-CVD)法によりNSG膜を成膜することによって、層間絶縁膜5を形成する。

【0043】次に、例えば減圧化学気相成長(LP-CVD)法により層間絶縁膜5上に薄膜Si層を形成し、例えば熱処理を行うことによって結晶粒を成長させた後、この薄膜Si層をパターンニングすることにより、多結晶Siからなる薄膜半導体層7を形成する。次に、

10

薄膜半導体層7表面を酸化した後、全面に例えばホウ素(B)などのp型不純物を低濃度にイオン注入する。

【0044】次に、例えばCVD法により薄膜半導体層7上にSiO₂膜を成膜することにより、ゲート誘電膜8を形成する。

【0045】次に、例えばLP-CVD法によりゲート誘電膜8上に多結晶Si膜9を形成した後、例えばPOCl₃ガス中において熱処理を行うことにより、多結晶Si膜9中にPを拡散させ、低比抵抗化させる。次に、この多結晶Si膜9上に、例えばCVD法によりWSi膜10を形成する。その後、この多結晶Si膜9およびWSi膜10からなる積層膜をゲート配線形状にパターニングすることにより、ゲート配線Gを形成する。

【0046】次に、全面にn型不純物のPを低濃度でイオン注入する。次に、リソグラフィ工程によりレジストパターン(図示せず)を形成することによって、pチャネルMOSトランジスタの形成領域と、nチャネルMOSトランジスタの形成領域におけるLDD形成部とをマスクした後、例えばAsなどのn型不純物を高濃度にイオン注入する。これにより、薄膜トランジスタを始めとするnチャネルMOSトランジスタにおいて、LDD構造を有するソース/ドレイン領域が形成される。その後、レジストパターンを除去する。

【0047】次に、リソグラフィ工程によりレジストパターン(図示せず)を形成することによって、薄膜トランジスタおよび回路内のnチャネルMOSトランジスタの形成領域をマスクした後、例えばBなどのp型不純物を高濃度にイオン注入し、回路内のpチャネルMOSトランジスタを形成する。

【0048】次に、O₃ガスとTEOSガスとを用いたCVD法により、全面にPSG膜を成膜することにより、層間絶縁膜11を形成する。その後、高温で熱処理を行うことにより、ソース領域およびドレイン領域のイオン注入領域の結晶性を回復させ、不純物を活性化させる。

【0049】次に、表示領域の左右端の保持容量配線4の部分と、コンタクトホール6の形成領域とに開口を有するレジストパターンを形成した後、例えばウェットエッチング法により層間絶縁膜11をエッチングする。これにより、開口14が形成される。

【0050】次に、リソグラフィ工程により、表示領域の左右端の保持容量配線4の部分と、コンタクトホール6、12、13の形成領域に開口を有するレジストパターンを形成する。次に、このレジストパターンをマスクとして、例えばドライエッチング法によりエッチングを行う。これにより、薄膜半導体層7上の層間絶縁膜11の部分にコンタクトホール12、13が形成されるとともに、保持容量用画素電極2上の層間絶縁膜5の部分にコンタクトホール6が形成される。また、図示省略したが、保持容量配線2、ゲート配線Gおよび画素外の回路

(7)

11

の部分に所定のコンタクトホールが形成される。その後、レジストパターンを除去する。

【0051】次に、例えばスパッタリング法により、全面に、Siを1%含むAl合金(Al-Si合金)膜を成膜する。次に、リソグラフィ工程により、信号配線15および引き出し電極16の形成領域上と、回路内配線およびパッド(いずれも図示せず)の形成領域上とにレジストパターン(図示せず)を形成する。次に、このレジストパターンをマスクとして、例えばドライエッチング法によりAl合金膜をパターニングする。これにより、信号配線15および引き出し配線16を形成するとともに、パッドおよび回路内配線を形成する。なお、これらの配線や電極は、Al-Si合金以外にも、Al-Si-Cu合金、Al-Cu合金などのAl基合金や、Cu基合金を用いてもよく、さらには、これらのAl基合金やCu基合金の下層もしくは上層に、Ti、TiN、TiON、WSiなどのバリアメタルを設けた多層構造としてもよい。

【0052】次に、例えばO₃ガスとTEOSガスとを用いたCVD法により、全面にPSG膜を成膜することにより、層間絶縁膜17を形成する。次に、層間絶縁膜17上にコンタクトホール18およびパッドの形成領域に開口を有するレジストパターン(図示せず)を形成する。その後、このレジストパターンをマスクとして、例えばドライエッチング法により、層間絶縁膜17を、引き出し電極16の表面が露出するまでエッチングする。これにより、パッドに接続するためのコンタクトホールが形成されるとともに、引き出し電極16上にコンタクトホール13が形成される。その後、レジストパターンを除去する。

【0053】次に、例えばスパッタリング法により全面にTi膜を成膜した後、リソグラフィ工程およびエッチング工程によりこのTi膜を所定形状にパターニングすることによって、上層遮光膜19を形成する。

【0054】次に、例えばTEOSガスを用いたプラズマCVD法により、NSG膜を成膜することによって、層間絶縁膜20を形成する。

【0055】次に、リソグラフィ工程により、層間絶縁膜20上にコンタクトホール21の形成領域とパッドの形成領域とに開口を有するレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとして、例えばドライエッチング法により層間絶縁膜20をエッチングする。これによって、コンタクトホール21が形成されるとともに、パッド表面が露出する。その後、レジストパターンを除去する。

【0056】次に、Hを4%含んだN₂ガス中において熱処理を行うことにより、トランジスタ特性を向上させる。

【0057】次に、例えばスパッタリング法により全面にITO膜を成膜した後、このITO膜をパターニング

12

することにより、透明の画素電極22を形成する。

【0058】その後、画素電極22上に配向膜を形成して、TFT基板を製造した後、従来公知の方法にしたがってプロセスを進め、目的とする液晶表示装置を完成させる。

【0059】以上説明したように、この第1の実施形態によれば、薄膜トランジスタを構成する薄膜半導体層7の下層に保持容量配線4、保持容量用誘電膜3および保持容量用画素電極2から構成される保持容量素子を設けていることにより、保持容量配線4および保持容量用画素電極3が、平面的にTFTのゲート配線Gなどの他の配線による制約を受けることがないので、画素間遮光面積を低減しつつ保持用容量素子の容量形成面積を十分に確保することができ、その保持容量C_sを十分に確保することができる。このため、各画素の薄膜トランジスタがオフのときの画素信号電位を安定化することができるので、表示画質を向上させることができる。また、保持容量配線4を、薄膜トランジスタのチャネル形成領域に対して、平面的に1.0μm以上の余裕を有し、各方向に0.5μm以上の幅を有する領域に配置されていることにより、TFT基板の裏面側からの光入射に対して、保持容量用画素電極2および保持容量配線4がTFTに対する遮光膜として働き、斜め方向から薄膜トランジスタに入射する光を低減することができるので、光励起電流に起因した画質の劣化を防止することができ、表示画質のさらなる向上を図ることができる。したがって、画素間遮光面積を低減しつつ表示画質の向上を図るので、液晶表示装置における高光透過率および高精細化を実現することができる。

【0060】次に、この発明の第2の実施形態による液晶表示装置について説明する。図3はこの第2の実施形態による液晶表示装置のTFT基板の一例を示す。

【0061】図3に示すように、この第2の実施形態による液晶表示装置においては、第1の実施形態と異なり、層間絶縁膜17上にその表面が平坦化された層間絶縁膜31が設けられている。引き出し電極16上の層間絶縁膜31、17の部分にコンタクトホール32が設けられている。層間絶縁膜31上には上層遮光膜19が設けられており、コンタクトホール32を通じて引き出し電極16と上層遮光膜19とが接続されている。層間絶縁膜31上に上層遮光膜19を覆うように層間絶縁膜33が設けられている。上層遮光膜19上の層間絶縁膜33の部分にはコンタクトホール34が設けられている。層間絶縁膜33上には画素電極22が設けられており、コンタクトホール34を通じて、画素電極22と上層遮光膜19とが接続されている。その他の構成については第1の実施形態と同様であるので説明を省略する。

【0062】以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態におけると同様にして層間絶縁膜17の形成まで行う。次に、第1の

(8)

13

実施形態とは異なり、層間絶縁膜17上に層間絶縁膜31を形成する。次に、例えばCMP法により層間絶縁膜31表面を平坦化する。次に、リソグラフィ工程およびエッティング工程により、引き出し電極16上の層間絶縁膜17、31の部分にコンタクトホール32を形成する。次に、例えばスパッタリング法により全面にTi膜を形成した後、このTi膜をパターニングすることにより、上層遮光膜19を形成する。次に、例えばCVD法により、上層遮光膜19を覆うようにして層間絶縁膜31上に層間絶縁膜33を形成する。次に、上層遮光膜19上の層間絶縁膜33の部分にコンタクトホール34を形成する。その後、例えばスパッタリング法により全面にITO膜を成膜した後、このITO膜を所定形状にパターニングすることにより、所定形状の画素電極22を形成する。液晶表示装置の製造方法におけるその他のプロセスについては第1の実施形態におけると同様であるので、説明を省略する。

【0063】この第2の実施形態によれば、薄膜半導体層7の下層に保持容量素子を設けるようにしていることにより、第1の実施形態と同様の効果を得ることができるとともに、平坦化された層間絶縁膜31上に上層遮光膜19を設けるようにしていることにより、上層遮光膜19のカバレッジ形状を改善することができ、対向基板側からの入射光を効率よく遮光することができる。また、信号配線15と上層遮光膜19との間の寄生容量を低減することができる。したがって、この液晶表示装置における表示画質のさらなる向上を図ることができる。

【0064】次に、この発明の第3の実施形態による液晶表示装置について説明する。図4はこの第3の実施形態による液晶表示装置のTFT基板の一例を示す。

【0065】図4に示すように、この第3の実施形態による液晶表示装置においては、第1の実施形態とは異なり、信号配線15および引き出し電極16を、Siを1%含むAl合金膜41a上に例えばTiN膜41bを設けた2層構造とする。そして、これらの信号配線15および引き出し電極16を覆うように層間絶縁膜17が設けられている。また、層間絶縁膜17上には上層遮光膜が設けられておらず、その表面が平坦化された層間絶縁膜42が設けられている。引き出し電極16上の層間絶縁膜17、42の部分にコンタクトホール43が形成されている。層間絶縁膜42上に画素電極22が設けられている。画素電極22と引き出し電極16とはコンタクトホール43を通じて接続されている。また、図示は省略するが、第1の実施形態におけるTFT基板の上層遮光膜19に対応する画素間遮光領域は、TFT基板の上方の液晶層を介した対向基板中に設けられている。液晶表示装置のその他の構成については第1の実施形態におけると同様であるので、説明を省略する。

【0066】以上のように構成された第3の実施形態による液晶表示装置の製造方法においては、まず、第1の

14

実施形態におけると同様にして層間絶縁膜11の形成まで行う。その後、開口14およびコンタクトホール6、12、13を順次形成する。次に、例えばスパッタリング法により、全面にSiを1%含むAl合金膜41aを形成した後、Al合金膜41a上にTiN膜41bを形成する。次に、このTiN膜41bおよびAl合金膜41aからなる積層膜を所定形状にパターニングすることにより、信号配線15および引き出し電極16を形成する。次に、これらの信号配線15および引き出し電極16を覆うようにして、全面に層間絶縁膜17を形成する。次に、例えばCVD法により、層間絶縁膜17上に層間絶縁膜42を形成する。その後、例えばCMP法によりその表面を研磨することにより平坦化する。次に、リソグラフィ工程およびエッティング工程により、引き出し電極16上の層間絶縁膜17、42の部分を、TiN膜41bの表面が露出するまでエッティングすることにより、コンタクトホール43を形成する。次に、層間絶縁膜42上の全面に、例えばスパッタリング法により、コンタクトホール43を通じ引き出し電極16と電気的に接続するようにして、例えばITO膜を形成する。その後、このITO膜を所定形状にパターニングすることにより、画素電極22を形成する。液晶表示装置の製造方法におけるその他のプロセスに関しては、第1の実施形態におけると同様であるので、説明を省略する。

【0067】また、この第3の実施形態の他の例として、薄膜半導体層7上の層間絶縁膜11、17、42の部分にコンタクトホール(図示せず)を設け、このコンタクトホールを通じて画素電極22と薄膜半導体層7を直接接続することも可能である。

【0068】この第3の実施形態によれば、薄膜半導体層7の下層に保持容量素子を設けていることにより、第1の実施形態と同様の効果を得ることができる。また、TFT基板中に上層遮光膜19を設けないようにし、引き出し電極16と画素電極22とを直接接続しているが、引き出し電極16をSiを1%含むAl合金膜41a上にTiN膜41bを設けた2層構造としていることにより、引き出し電極16と画素電極22との間で良好な電気的接続を確保することができる。

【0069】次に、この発明の第4の実施形態による液晶表示装置の一例について説明する。図5はこの第4の実施形態による液晶表示装置のTFT基板の一例を示す。

【0070】図5に示すように、この第5の実施形態による液晶表示装置においては、第1の実施形態とは異なり、絶縁性透明基板1上に所定形状の保持容量配線4が設けられている。保持容量配線4上には保持容量用誘電膜3を介して保持容量用画素電極2が設けられている。保持容量用画素電極2上の層間絶縁膜5の部分にコンタクトホール6が設けられている。このコンタクトホール6を通じて保持容量用画素電極2と引き出し電極16と

(9)

15

が電気的に接続されている。液晶表示装置におけるその他の構成に関しては第1の実施形態におけると同様であるので説明を省略する。

【0071】以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態と異なり、例えばCVD法により、絶縁性ガラス基板1上に例えば膜厚が200nmのWSi膜、例えば膜厚が60nmのSiO₂膜および例えば膜厚が50nmのWSi膜を順次成膜する。次に、リソグラフィ工程およびエッティング工程により、このWSi/SiO₂/WSi膜からなる積層膜をパターニングすることにより、保持容量用画素電極2、保持容量用誘電膜3、保持容量配線4を形成し、これらからなる保持容量素子を形成する。液晶表示装置の製造方法におけるその他のプロセスに関しては、第1の実施形態におけると同様であるので、説明を省略する。

【0072】この第4の実施形態によれば、薄膜半導体層7の下層に保持容量素子を設けるようにしていることにより、第1の実施形態と同様の効果を得ることができる。また、保持容量用画素電極2の下層に保持容量配線4を設けて、第1の実施形態における保持容量素子と積層構造を反対にしていることにより、コンタクトホール6の形成領域を確保するために、保持容量配線4の一部を除去する必要がなくなる。これにより、保持容量素子の保持容量面積をさらに増加させることができるので、その保持容量C_sを増加させることができる。

【0073】次に、この発明の第5の実施形態による液晶表示装置について説明する。図6はこの第5の実施形態による液晶表示装置のTFT基板の一例を示す。

【0074】図6に示すように、この第5の実施形態による液晶表示装置においては、第1の実施形態と異なり、層間絶縁膜5に形成されたコンタクトホール6を通じて保持容量用画素電極2に接続された引き出し電極61が、ゲート電極Gと同様の構造、すなわち多結晶Si膜9とWSi膜10との積層膜から構成されている。この引き出し電極61の一端部は薄膜半導体層7のドレイン領域の部分に接続されている。これにより、薄膜トランジスタのドレイン領域と保持容量用画素電極2とが電気的に接続されている。また、層間絶縁膜11に形成されたコンタクトホール13を通じて、薄膜半導体層7のドレイン領域に、例えばSiを1%含むA1合金膜からなる電極62が接続されている。液晶表示装置におけるその他の構成に関しては、第1の実施形態におけると同様であるので説明を省略する。

【0075】以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態と同様にして薄膜半導体層7上のゲート誘電膜8の形成まで行う。次に、第1の実施形態と異なり、リソグラフィ工程およびエッティング工程により、保持容量用画素電極2上の層間絶縁膜5の部分にコンタクトホール6を形成する。次に、例えばプランケットW-CVD法により、コンタクトホール6の内部に埋め込むようにして、全面にW膜を成膜する。次に、例

16

に、例えばLPCVD法により、全面にPがドープされた多結晶Si膜9とWSi膜10とを順次成膜することにより、積層膜を形成する。次に、この積層膜をゲート配線Gの形状、および平面的に薄膜半導体層7のドレイン領域に重なりつつ、コンタクトホール6を通じて保持容量用画素電極2に接続可能な形状にパターニングする。これにより、多結晶Si膜9とWSi膜10との積層膜からなるゲート配線Gおよび引き出し電極61が形成される。その後、これらのゲート配線Gおよび引き出し電極61を覆うように層間絶縁膜11を形成し、層間絶縁膜11の薄膜半導体層7上の部分にコンタクトホール12、13を形成する。次に、スパッタリング法によりSiを1%含むA1合金膜を形成した後、このA1合金膜を信号配線15および電極62の形状にパターニングする。これにより、コンタクトホール12を通じて薄膜半導体層7のソース領域に接続される信号配線15が形成されるとともに、薄膜半導体層7のドレイン領域に接続される電極62が形成される。次に、O₃ガスとTEOSガスとを用いたCVD法により、全面にPSGからなる層間絶縁膜17を形成する。この液晶表示装置の製造方法におけるその他のプロセスに関しては、第1の実施形態におけると同様であるので、説明を省略する。

【0076】この第5の実施形態によれば、薄膜半導体層7の下層に保持容量素子を設けるようにしていることにより、第1の実施形態と同様の効果を得ることができる。

【0077】次に、この発明の第6の実施形態による液晶表示装置について説明する。図7はこの第6の実施形態による液晶表示装置のTFT基板の一例を示す。

【0078】この第6の実施形態による液晶表示装置においては、第5の実施形態と異なり、保持容量用画素電極2上の層間絶縁膜5の部分に形成されたコンタクトホール6の内部に、例えばWからなるコンタクトプラグ71が埋め込まれている。層間絶縁膜5上にコンタクトプラグ71と接続されて、多結晶Si膜9およびWSi膜10を順次積層した積層膜からなる引き出し電極72が設けられている。これによって、保持容量用画素電極2と引き出し電極72とが、コンタクトプラグ71を通じて電気的に接続されている。液晶表示装置におけるその他の構成に関しては、第5の実施形態におけると同様であるので説明を省略する。

【0079】以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態と同様にして、層間絶縁膜5の形成まで行う。次に、第1の実施形態と異なり、リソグラフィ工程およびエッティング工程により、保持容量用画素電極2上の層間絶縁膜5の部分にコンタクトホール6を形成する。次に、例えばプランケットW-CVD法により、コンタクトホール6の内部に埋め込むようにして、全面にW膜を成膜する。次に、例えば三フッ化塩素(C₁F₃)ガスをエッティングガスと

(10)

17

して、W膜のエッチバックを行う。これにより、コンタクトホール6の内部にWからなるコンタクトプラグ71が埋め込まれる。次に、第1の実施形態と同様にして、薄膜半導体層7およびゲート誘電膜8を順次形成する。次に、例えばL P-C V D法により、全面にPがドープされた多結晶Si膜9とWSi膜10とを順次成膜することにより、積層膜を形成する。次に、この積層膜をゲート配線Gの形状、およびコンタクトプラグ71に接続しつつ、一端部が薄膜半導体層7に重なるような形状にパターニングする。これにより、多結晶Si膜9とWSi膜10との積層膜からなるゲート配線Gおよび引き出し電極72が形成される。その後、これらのゲート配線Gおよび引き出し電極72を覆うように層間絶縁膜11を形成する。この液晶表示装置の製造方法における他のプロセスに関しては、第1の実施形態におけると同様であるので、説明を省略する。

【0080】この第6の実施形態によれば、薄膜半導体層7の下層に保持容量素子を設けるようにしていることにより、第1の実施形態および第5の実施形態と同様の効果を得ることができる。また、引き出し電極72と保持容量用画素電極2とをコンタクトプラグ71を介して接続するようにしていることにより、引き出し電極72のカバレッジ形状をより改善することができる。

【0081】次に、この発明の第7の実施形態による液晶表示装置について説明する。図8はこの第7の実施形態による液晶表示装置の平面レイアウトの一例を示す。

【0082】図8に示すように、この第7の実施形態による液晶表示装置においては、第1の実施形態と異なり、保持容量配線4（図8中、斜線部）を、信号配線15に重なる領域で、信号配線15の長手方向に延長させて設けるようにする。すなわち、保持容量配線4は、信号配線15および引き出し電極16の下層かつ重なる領域で、それらの形状に沿って格子状に設けられている。この第7の実施形態による液晶表示装置の構成およびその製造方法に関しては第1の実施形態におけると同様であるので、説明を省略する。

【0083】この第7の実施形態によれば、第1の実施形態と同様の効果を得ることができるとともに、保持容量配線4を、信号配線15の下層でかつ重なる領域に、信号配線15の長手方向に延長した形状、すなわち格子状に形成していることにより、保持容量面積をさらに増加させることができるので、より信頼性の高い液晶表示装置を得ることができるので、説明を省略する。

【0084】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0085】例えば、上述の実施形態において挙げた数値、構造、形状、材料、プロセスなどはあくまでも例に過ぎず、必要に応じてこれと異なる数値、構造、形状、

18

材料、プロセスなどを用いててもよい。

【0086】また、上述の第1の実施形態においては、保持容量用誘電膜3として、SiO₂膜を用いているが、保持容量用誘電膜3として、SiN膜や、SiO₂/SiN/SiO₂膜などを用いることも可能である。

【0087】また、上述の第1の実施形態においては、保持容量用画素電極2および保持容量配線4としてWSi膜を用いているが、これらの保持容量用画素電極2および保持容量配線4として、不純物をドープした多結晶Si膜を用いることも可能である。また、ゲート配線Gを多結晶Si膜9上にWSi膜10を設けた積層膜としているが、多結晶Si膜9上に設ける膜として、W膜、Mo膜、Ta膜、Cr膜およびTi膜を用いることが可能である。また、これらのシリサイド膜や合金膜を用いることも可能である。

【0088】

【発明の効果】以上説明したように、この発明によれば、保持容量素子を、薄膜トランジスタを構成する薄膜半導体層の下層に設けるようにしていることにより、保持容量素子の設計自由度を向上させることができる。また、保持容量面積を確保しつつ画素間遮光領域を縮小させることができ、これによって、高光透過率で高精細化された液晶表示装置を得ることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態による液晶表示装置のTFT基板を示す断面図である。

【図2】この発明の第1の実施形態による液晶表示装置のTFT基板における平面レイアウトを示す平面図である。

【図3】この発明の第2の実施形態による液晶表示装置のTFT基板を示す断面図である。

【図4】この発明の第3の実施形態による液晶表示装置のTFT基板を示す断面図である。

【図5】この発明の第4の実施形態による液晶表示装置のTFT基板を示す断面図である。

【図6】この発明の第5の実施形態による液晶表示装置のTFT基板を示す断面図である。

【図7】この発明の第6の実施形態による液晶表示装置のTFT基板を示す断面図である。

【図8】この発明の第7の実施形態による液晶表示装置のTFT基板における平面レイアウトを示す平面図である。

【図9】従来技術による液晶表示装置を示すブロック図である。

【図10】従来技術による液晶表示装置を示す断面図である。

【図11】従来技術による液晶表示装置の平面レイアウトを示す平面図である。

【符号の説明】

50 1 . . . 絶縁性透明基板、2 . . . 保持容量用画素電

(11)

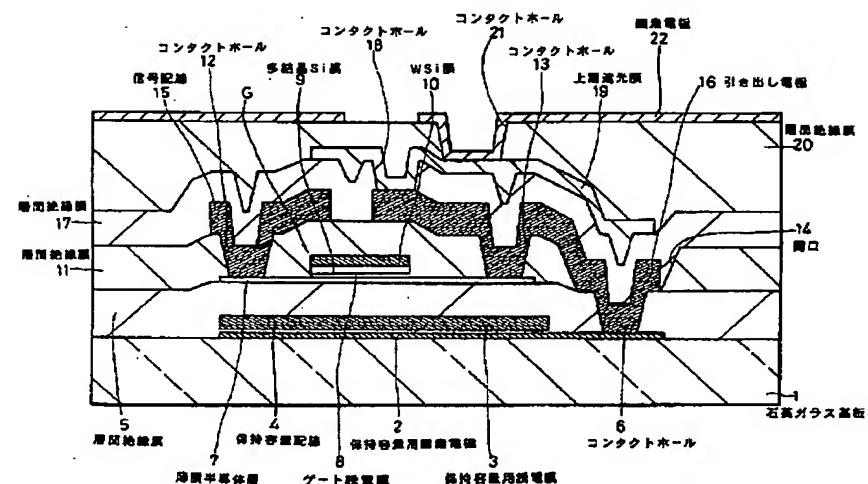
19

極、3・・・保持容量用誘電膜、4・・・保持容量配線、6、12、13、18、21、32、34、43・・・コンタクトホール、7・・・薄膜半導体層、16、

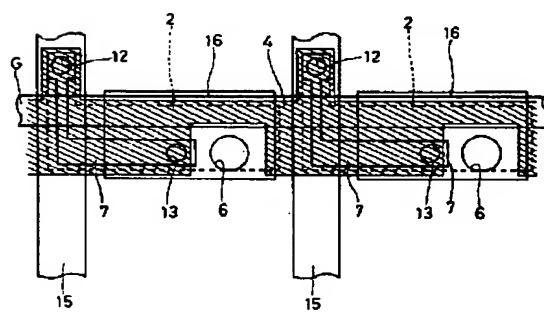
20

61、72・・・引き出し電極、19・・・上層遮光膜、22・・・画素電極、G・・・ゲート配線

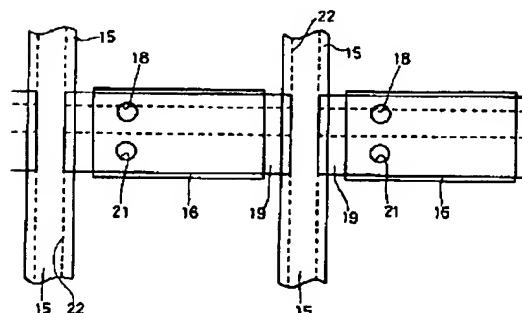
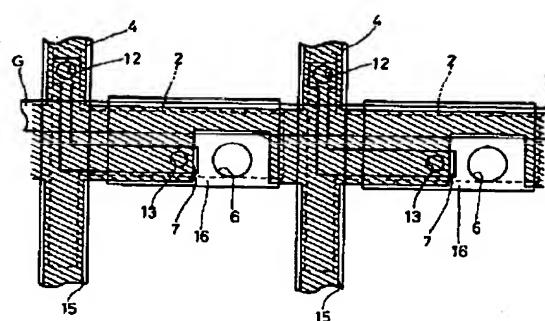
【図1】



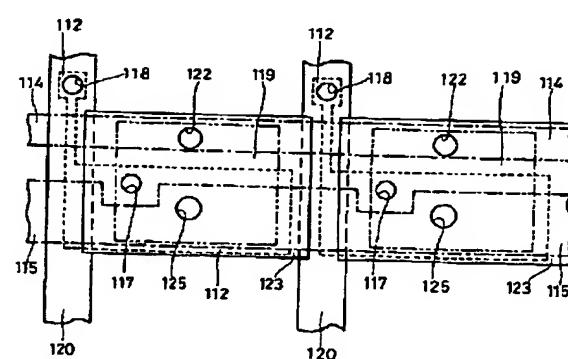
【図2】



【図8】

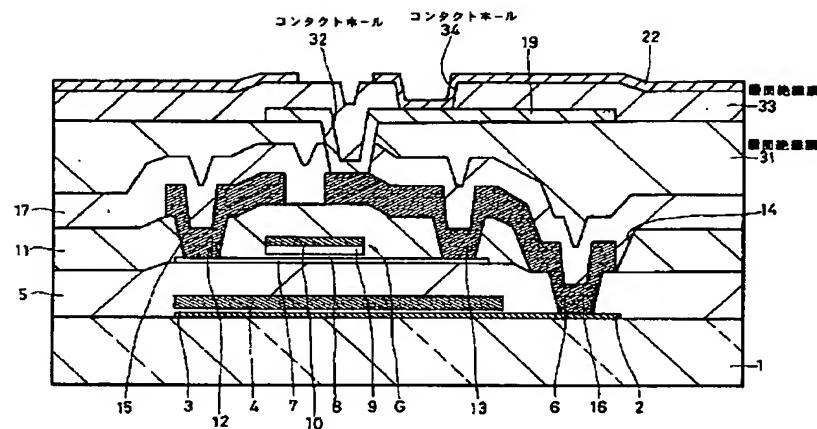


【図11】

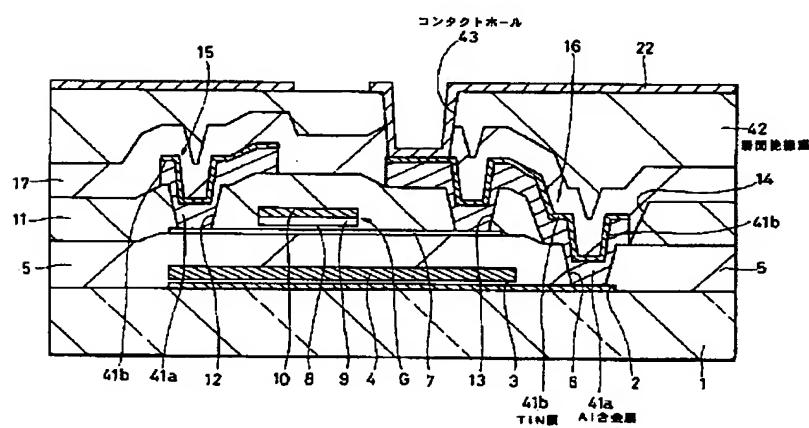


(12)

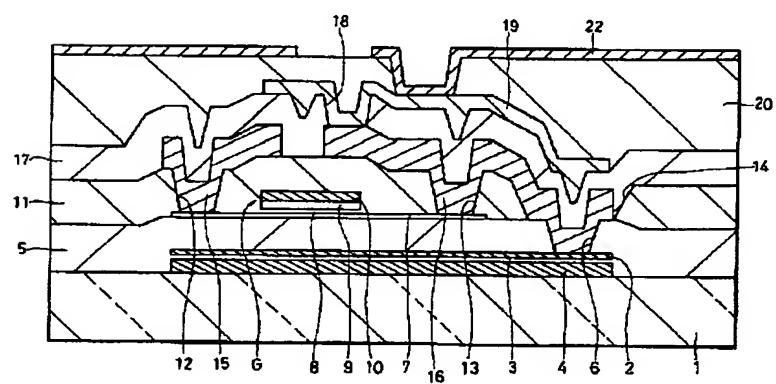
【図3】



【図4】

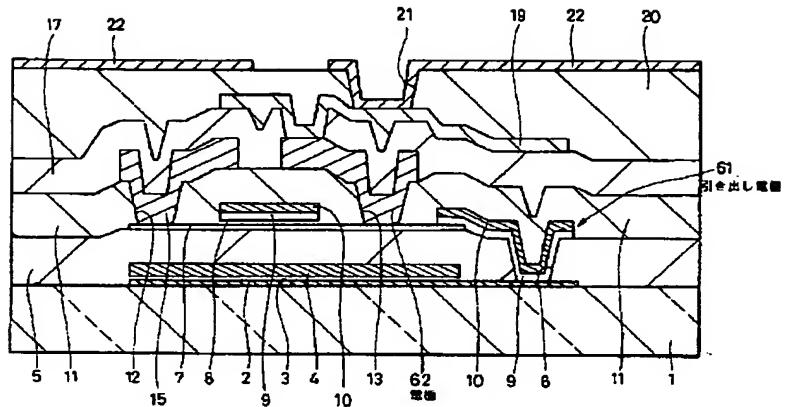


【図5】

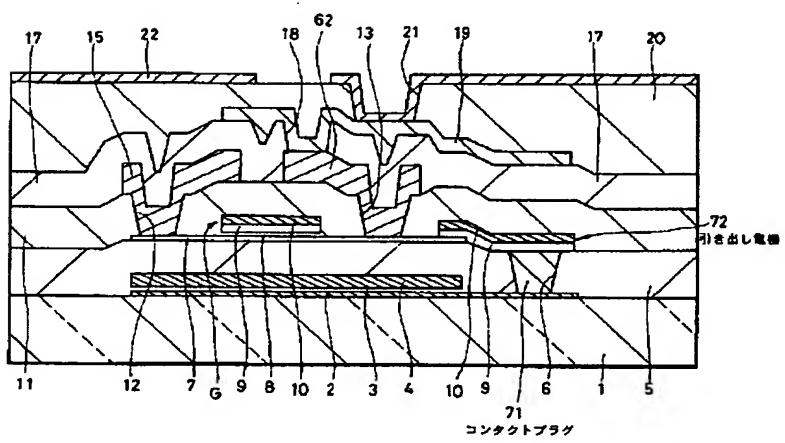


(13)

【図6】

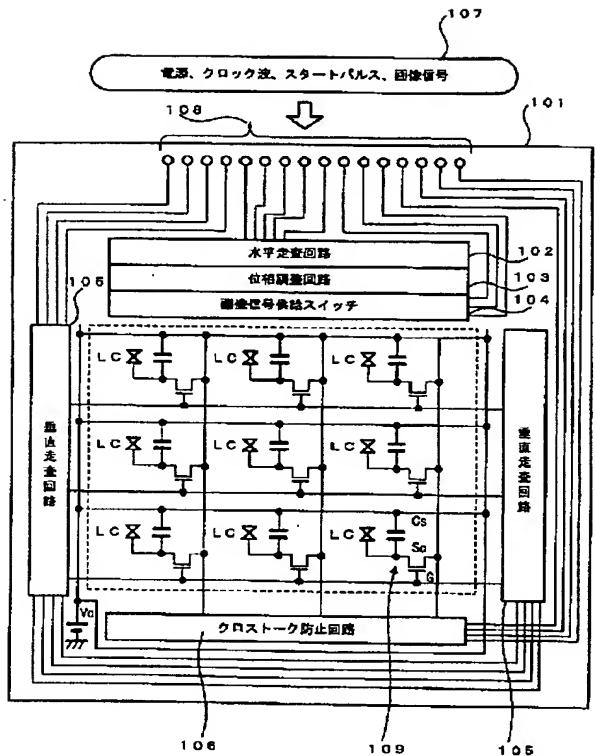


【図7】

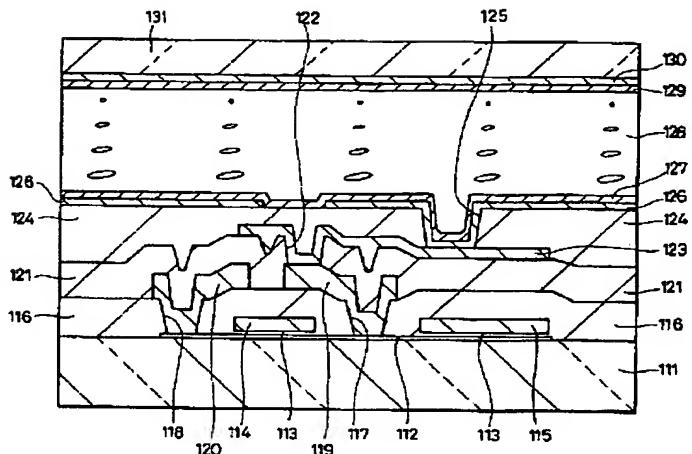


(14)

【図9】



【図10】



フロントページの続き

F ターム (参考) 2H092 JA26 JB66 JB69 KA03 KA04
 KA05 KA07 KA08 KA18 KA22
 KB04 KB13 KB25 MA05 MA07
 MA13 MA18 NA07
 5C094 AA05 AA10 BA03 BA43 CA19
 DA15 EA04 FB19 JA08
 5F110 AA30 BB01 CC02 DD03 DD11
 DD24 DD30 EE04 EE05 EE09
 EE14 EE15 EE45 FF02 FF29
 GG02 GG04 GG12 GG13 GG15
 GG32 GG47 GG52 HJ01 HJ13
 HL06 HL09 HL11 HL23 HM15
 HM18 NN22 NN25 NN35 NN46
 NN54 NN55 NN72 NN73 NN77
 QQ19

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.